

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005 年 7 月 21 日 (21.07.2005)

PCT

(10) 国際公開番号
WO 2005/067062 A1

(51) 国際特許分類: H01L 31/12, 27/14

〒2268503 神奈川県横浜市緑区長津田町 4 2 5 9 東京工業大学精密工学研究所内 Kanagawa (JP).

(21) 国際出願番号: PCT/JP2004/015159

(74) 代理人: 宮崎 昭夫, 外(MIYAZAKI, Teruo et al.); 〒1070052 東京都港区赤坂 1 丁目 9 番 2 0 号 第 1 6 興和ビル 8 階 Tokyo (JP).

(22) 国際出願日: 2004 年 10 月 14 日 (14.10.2004)

(25) 国際出願の言語: 日本語

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2003-434028
2003 年 12 月 26 日 (26.12.2003) JP

(71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 Tokyo (JP).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(72) 発明者; および

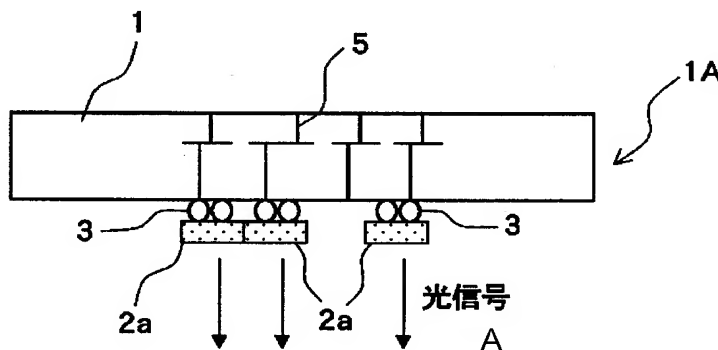
(75) 発明者/出願人 (米国についてのみ): 小田 三紀雄 (ODA, Mikio) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 高橋 久弥 (TAKAHASHI, Hisaya) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 中野 嘉一郎 (NAKANO, Kaichiro) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 古宇田 光 (KOUTA, Hikaru) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 小林 功郎 (KOBAYASHI, Kohroh) [JP/JP];

添付公開書類:
— 国際調査報告書

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: SUBSTRATE WITH LIGHT INPUT, SUBSTRATE WITH LIGHT OUTPUT, SUBSTRATE WITH LIGHT INPUT/OUTPUT, AND SEMICONDUCTOR INTEGRATED CIRCUIT WITH OPTICAL ELEMENT

(54) 発明の名称: 光入力付基板、光出力付基板、光入出力付基板及び光素子一体型半導体集積回路



A OPTICAL SIGNAL

受光素子 2 a が実装され、かつ、それら 2 以上の受光素子 2 a は高さが一定に揃えられており、上記基板 1 の出力ポートには実装されている半導体集積回路の電気信号入力ポートが接続可能である。

(57) Abstract: Light-receiving elements (2a) each for converting an optical signal inputted from outside into an electric signal and outputting it to an output port are provided to two or more input ports on a substrate (1) on which a semiconductor integrated circuit can be mounted. The heights of the light-receiving elements (2a) are the same. An electric signal input port of the mounted semiconductor integrated circuit can be connected to the output port of the substrate (1).

(57) 要約: 半導体集積回路を実装可能な基板 1 の 2 以上の入力ポートに、外部から入力された光信号を電気信号に変換して出力ポートに出力可能な

WO 2005/067062 A1

明 細 書

光入力付基板、光出力付基板、光入出力付基板及び光素子一体型半導体集積回路

技術分野

[0001] 本発明は、半導体集積回路(以下、「LSI」と呼ぶ場合もある)に関するものである。

背景技術

[0002] LSIの処理速度の高速化はますます進展している。しかし、複数のLSI間を結ぶ電気配線の伝送能力には限界があると考えられている。そこで、高速伝送、長距離伝送が可能な上、電磁波ノイズの放射が少ないといった優位性を有する光信号を用いた伝送が注目されている。例えば、あるLSIから出力された電気信号を光信号に変換して光配線で伝送し、他のLSIに入力する前に電気信号に再変換すれば、電気信号のみを用いる場合に比べてより高速な伝送が可能になると考えられている。

[0003] 特開20001-36197号公報には、電気配線によって接続された光素子とLSIとが同一パッケージ内に集積された光電子集積素子が開示されている。この光電子集積素子では、ベースプレート上に電子集積素子ベアチップが固定され、そのベアチップに近接して配線手段を挟んで光素子が固定されている。ここで光素子は、面発光レーザアレイ、又は受光素子アレイであって、インナーリード上、又は電子集積素子に直接実装されている。また、電子集積素子の入出力ポートは、電子集積素子の周辺部にそれぞれ纏められており、入力ポートに対応して受光素子アレイが搭載され、出力ポートに対応して面発光レーザが搭載されている。より具体的には、電子集積素子に光素子が直接実装された形態では、光素子のパッドがそのパッドの配列に対応させた電子集積素子の入出力ポートに電気接続されている。また、電子集積素子と光素子とがインナーリードによって電気接続された形態では、電子集積素子が搭載されるパッドと、光素子アレイが搭載されるパッド(光素子アレイを搭載するために、光素子アレイのパッド配置に合わせてある)とを1対1で対応させたインナーリードを用いて電気接続している。

[0004] しかしながら、特許文献1に開示されている従来技術は、インナーリードのような電

気配線基板の入出力ポートが一箇所に纏められており、かつ、一定方向に規則的に並んで配置されていることを前提とした技術である。従って、電気配線基板の入出力ポートが複数存在し、しかも、それら入出力ポートがランダム(不規則)に配置されている場合には、1チャンネルの受光素子及び発光素子を目的の数だけ用意し、それら素子を電気配線基板の入出力ポートの位置に合わせて1つずつ実装しなくてはならない。しかし、複数の光素子を1つずつ実装すると、各光素子の受光面や発光面の高さが不揃いとなり、外部機器との光結合において損失が大きくなる。また、光素子の実装に長時間を要し、高コスト化を招くことにもなる。

発明の開示

- [0005] 本発明の目的の一つは、ランダムに配置された2以上の入力ポートに実装された受光素子の高さが一定である電気配線基板を提供することにある。
- [0006] 本発明の目的の他の一つは、ランダムに配置された2以上の出力ポートに実装された発光素子の高さが一定である電気配線基板を提供することにある。
- [0007] 本発明の目的の他の一つは、ランダムに配置された2以上の入力ポート及び出力ポートに実装された受光素子及び発光素子の高さが一定である電気配線基板を提供することにある。
- [0008] 本発明の目的の他の一つは、ランダムに配置された2以上の入力ポート及び出力ポートに設けられた受光素子及び発光素子の高さが全て一定である電気配線基板を提供することにある。
- [0009] 本発明の目的の他の一つは、上記電気配線基板をなるべく少ない製造工程によって低コストで製造する方法を提供することにある。
- [0010] 本発明の目的の他の一つは、上記電気配線基板に半導体集積回路が実装された光素子一体型半導体集積回路を提供することにある。
- [0011] 上記目的の少なくとも一つを達成する本発明の一つは、LSIを実装可能な基板であって、2以上の光素子が実装されおり、それら2以上の光素子の高さが一定に揃えられていることを特徴とする。ここで、上記光素子は、入力された光信号を電気信号に変換して、基板に実装されているLSIに出力可能な受光素子とすることができる。また、実装されているLSIから出力された電気信号を光信号に変換して外部に出力

可能な発光素子とすることもできる。さらに、上記受光素子と発光素子の双方とすることもできる。

[0012] ここで、上記光素子が受光素子の場合、光素子の高さとは、受光素子が実装されている基板の表面(実装面)から、その受光素子の受光面までの距離を意味する。また、光素子が発光素子の場合、光素子の高さとは、発光素子が実装されている基板の表面(実装面)から、その発光素子の発光面までの距離を意味する。

[0013] 上記基板に実装されている2以上の光素子間で電極パターンを共用することもできる。例えば、2以上の受光素子が実装されている場合、それら受光素子の全部又は一部で電極パターンを共用することができる。2以上の発光素子が実装されている場合、それら発光素子の全部又は一部で電極パターンを共用することもできる。さらに、受光素子及び発光素子の双方が実装されている場合、受光素子と発光素子の間で電極パターンを共用することもできる。

[0014] また、上記基板に実装されている2以上の光素子の少なくとも一つには、入射した光を収束させる作用を有する光学素子を設けることができる。例えば、光素子が受光素子である場合には、外部から入力された光をその受光素子の受光面に向けて収束させる作用を有するレンズを設けることができる。光素子が発光素子である場合には、その発光素子の発光面から出力された光をその光の入射面に向けて収束させる作用を有するレンズを設けることができる。

[0015] 本発明の他の一つは、光信号の入力が可能な光素子一体型半導体集積回路であって、上記本発明の光入力付基板にLSIが実装され、外部から入力された光信号が光入力付基板の受光素子によって電気信号に変換されてからLSIの電気信号入力ポートへ出力されることを特徴とする。ここで、LSIの電気信号入力ポートが不規則に配列されている場合には、それら電気信号入力ポートを、規則的に配列されている光入力付基板の入力ポート(受光素子が実装されている)に配線することによって再配置することもできる。

[0016] 本発明の他の一つは、光信号の出力が可能な光素子一体型半導体集積回路であって、上記本発明の光出力付基板にLSIが実装され、実装されているLSIから出力された電気信号が光出力付基板の発光素子によって光信号に変換されてから外部へ

出力されることを特徴とする。ここで、LSIの電気信号出力ポートが不規則に配列されている場合には、それら電気信号出力ポートを、規則的に配列されている光出力付基板の出力ポート(発光素子の実装されている)に接続することによって再配置することもできる。

[0017] 本発明の他の一つは、光信号の入出力が可能な光素子一体型半導体集積回路であって、上記本発明の光入出力付基板にLSIが実装され、外部から入力された光信号が光入出力付基板の受光素子によって電気信号に変換されてからLSIの電気信号入力ポートへ出力され、LSIから出力された電気信号が光入出力付基板の発光素子によって光信号に変換されてから外部へ出力されることを特徴とする。ここでも、不規則に配列されている半導体集積回路の電気信号入力ポートと電気信号出力ポートの双方または一方を上記と同様の方法によって再配置することができる。

[0018] 本発明の他の一つは、本発明の光入力付基板、光出力付基板又は光入出力付基板を製造する方法であって、不必要な光素子を予め除去した光素子アレイを基板に実装することによって、2以上の光素子を基板に一括実装する光素子実装工程、又は、光素子アレイを基板に実装してから不必要な光素子を除去することによって2以上の光素子を基板に一括実装する光素子実装工程のいずれか一方または双方によって光素子を基板に実装することを特徴とする。ここでも、上記光素子は、受光素子又は発光素子又はこれらの組み合わせとすることができる。上記光素子が受光素子の場合、上記光素子アレイとは、複数の受光素子が素子基板上に形成された受光素子アレイを意味することは明らかである。また、光素子が発光素子の場合、上記光素子アレイとは、素子基板上に複数の発光素子が形成された発光素子アレイを意味することは明らかである。

[0019] 本発明の光入力付基板、光出力付基板または光入出力付基板を製造する方法には、上記光素子アレイの素子基板をエッチングして薄膜化する工程や、素子基板をエッチングしてレンズ化する工程を含めることもできる。

[0020] 上記特徴を有する本発明の光入力付基板、光出力付基板又は光入出力付基板では、実装されている2以上の受光素子と発光素子の双方または一方の高さが一定に揃っている。従って、この基板にLSIを実装して光素子一体型半導体集積回路を製

造すれば、高さが一定である発光素子と発光素子の双方または一方を備えた光素子一体型半導体集積回路を提供することができる。この光素子一体型半導体集積回路は、複数の光回路、例えば光ファイバや光導波路と光結合させることによって、高速、長距離かつ耐ノイズ性に優れた伝送を実現可能である。さらに、上記利用環境下において、受発光素子が光結合すべき光回路の結合部の高さを揃えておけば、全て受発光素子のチャンネルについて高効率な光結合が実現されるという効果が得られる。さらには、全チャンネルで高効率な光結合が実現されることによって、光信号の強度を有効に利用できるため、伝送可能距離のさらなる長距離化が可能になるといった効果が得られる。あるいは近距離の光伝送であっても、光結合効率が高いため、より高強度のまま光信号を伝送できるため、さらに耐ノイズ性が向上するといった効果が得られる。

- [0021] また、上記特徴を有する本発明の製造方法によって、光入力付基板、光出力付基板又は光入出力付基板を製造すれば、2以上の光素子の高さを確実に、かつ、容易に揃えることができる。さらに、複数の光素子を1つずつ個別に順々に実装していく場合に比べて製造工程が少なくなり、低コスト化が図られる。かかる効果は実装される光素子の個数が多くなればなるほど、顕著なものとなる。

図面の簡単な説明

- [0022] [図1A]本発明の光入力付基板の一例を示す模式的平面図である。
[図1B]本発明の光入力付基板の一例を示す模式的断面図である。
[図1C]図1A、図1Bに示す光入力付基板を用いた光素子一体型LSIを示す模式的断面図である。
[図2A]図1A、図1Bに示す光素子一体型LSIの製造工程の一つを示す模式図である。
[図2B]図2Aに示す製造工程に続く工程を示す模式図である。
[図2C]図2Bに示す製造工程に続く工程を示す模式図である。
[図2D]図2Cに示す製造工程に続く工程を示す模式図である。
[図3A]本発明の光出力付基板の一例を示す模式的平面図である。
[図3B]本発明の光出力付基板の一例を示す模式的断面図である。

[図3C]図3A、図3Bに示す光出力付基板を用いた光素子一体型LSIを示す模式的断面図である。

[図4A]図3A、図3Bに示す光出力付基板の製造工程の一つを示す模式図である。

[図4B]図4Aに示す製造工程に続く工程を示す模式図である。

[図4C]図4Bに示す製造工程に続く工程を示す模式図である。

[図4D]図4Cに示す製造工程に続く工程を示す模式図である。

[図4E]図4Dに示す製造工程に続く工程を示す模式図である。

[図5A]本発明の光入出力付基板の一例を示す模式的平面図である。

[図5B]本発明の光入出力付基板の一例を示す模式的断面図である。

[図5C]図5A、図5Bに示す光入出力付基板を用いた光素子一体型LSIを示す模式的断面図である。

[図5D]光素子一体型LSIの変形例を示す模式的断面図である。

[図6A]図5A、図5Bに示す光入出力付基板の製造工程の一つを示す模式図である。
。

[図6B]図6Aに示す製造工程に続く工程を示す模式図である。

[図6C]図6Bに示す製造工程に続く工程を示す模式図である。

[図6D]図6Cに示す製造工程に続く工程を示す模式図である。

[図6E]図6Dに示す製造工程に続く工程を示す模式図である。

[図6F]図6Eに示す製造工程に続く工程を示す模式図である。

[図6G]図6Fに示す製造工程に続く工程を示す模式図である。

[図6H]図6Gに示す製造工程に続く工程を示す模式図である。

[図6I]図6Hに示す製造工程に続く工程を示す模式図である。

[図7A]図5A、図5Bに示す光入出力付基板の他の製造方法の工程を示す模式図である。

[図7B]図7Aに示す製造工程に続く工程を示す模式図である。

[図7C]図7Bに示す製造工程に続く工程を示す模式図である。

[図7D]図7Cに示す製造工程に続く工程を示す模式図である。

[図7E]図7Dに示す製造工程に続く工程を示す模式図である。

[図7F]図7Eに示す製造工程に続く工程を示す模式図である。

[図7G]図7Fに示す製造工程に続く工程を示す模式図である。

[図7H]図7Gに示す製造工程に続く工程を示す模式図である。

[図7I]図7Hに示す製造工程に続く工程を示す模式図である。

[図8A]図6Gに示す製造工程に代わる製造工程を示す模式図である。

[図8B]図6Hに示す製造工程に代わる製造工程を示す模式図である。

[図8C]図6Iに示す製造工程に代わる製造工程を示す模式図である。

[図9]光素子の設計上の実装位置と実際の実装位置との関係の一例を示す模式的平面図である。

[図10A]本発明の光入出力付基板の他例を示す模式的平面図である。

[図10B]本発明の光入出力付基板の他例を示す模式的平面図である。

[図10C]光素子の一例を示す模式的拡大断面図である。

[図10D]光素子の他例を示す模式的拡大断面図である。

[図11A]本発明の光入出力付基板の他例を示す模式的断面図である。

[図11B]本発明の光入出力付基板の他例を示す模式的断面図である。

[図12]本発明の光入出力付基板の他例を示す模式的断面図である。

[図13A]本発明の光入出力付基板の他例を示す模式的断面図である。

[図13B]図13Aの光入出力付基板の製造工程の一部を示す模式的断面図である。

[図13C]図13Aの光入出力付基板を用いた光素子一体型LSIを示す模式的断面図である。

[図14A]本発明の光入出力付基板の他例を示す模式的平面図である。

[図14B]本発明の光入出力付基板の他例を示す模式的断面図である。

[図14C]図14A、図14Bの光入出力付基板を用いた光素子一体型LSIを示す模式的断面図である。

[図15A]図14A、図14Bに示す光入出力付基板の製造工程の一つを示す模式図である。

[図15B]図15Aに示す製造工程に続く工程を示す模式図である。

[図15C]図15Bに示す製造工程に続く工程を示す模式図である。

[図15D]図15Cに示す製造工程に続く工程を示す模式図である。

[図15E]図15Dに示す製造工程に続く工程を示す模式図である。

[図15F]図15Eに示す製造工程に続く工程を示す模式図である。

[図15G]図15Fに示す製造工程に続く工程を示す模式図である。

[図15H]図15Gに示す製造工程に続く工程を示す模式図である。

[図15I]図15Hに示す製造工程に続く工程を示す模式図である。

[図15J]図15Iに示す製造工程に続く工程を示す模式図である。

[図15K]図15Jに示す製造工程に続く工程を示す模式図である。

[図15L]図15Kに示す製造工程に続く工程を示す模式図である。

[図16A]光入出力付基板の他例を示す模式的平面図である。

[図16B]光入出力付基板の他例を示す模式的断面図である。

[図17A]従来の製造方法によって製造された光入出力付基板の一例を示す模式的平面図である。

[図17B]従来の製造方法によって製造された光入出力付基板の一例を示す模式的断面図である。

[図18A]本発明の製造方法によって製造された光入出力付基板の一例を示す模式的平面図である。

[図18B]本発明の製造方法によって製造された光入出力付基板の一例を示す模式的断面図である。

[図19A]本発明の光素子一体型LSIの製造工程の一つを示す模式図である。

[図19B]図19Aに示す製造工程に続く工程を示す模式図である。

[図19C]図19Bに示す製造工程に続く工程を示す模式図である。

[図20]本発明の光素子一体型LSIの他例を示す模式的断面図である。

[図21]本発明の光入出力付基板の他例を示す模式的平面図である。

[図22A]本発明の光素子一体型LSIの他例を示す模式的断面図である。

[図22B]本発明の光素子一体型LSIの他例を示す模式的断面図である。

[図23A]本発明の光素子一体型LSIの他例を示す模式的断面図である。

[図23B]本発明の光素子一体型LSIの他例を示す模式的断面図である。

[図24A]本発明の光素子一体型LSIを光電気混載基板に実装した状態の模式的断面図である。

[図24B]従来の光素子一体型LSIを光電気混載基板に実装した状態の模式的断面図である。

発明を実施するための最良の形態

[0023] (実施形態1)

以下、本発明の光出力付基板及び光素子一体型半導体集積回路(以下「光素子一体型LSI」と呼ぶ場合もある)の一例を図面に基づいて詳細に説明する。図1Aは本例の光出力付基板1Aの構造概略を示す模式的平面図であり、図1Bは模式的断面図である。図1Cは本例の光素子一体型LSI44の構造概略を示す模式的断面図である。

[0024] 本例の光出力付基板1Aでは、基板1の片面(本例では裏面)に形成されている出力ポート(不図示)に発光素子2aが半田バンプ3によって電気接続されている。基板1の裏面には出力ポートが複数存在し、それら出力ポートは様々な位置にランダムに配置されており、各出力ポートに対して発光素子2aが実装されている。発光素子2aには、基板1の裏面側(図1Bの下方)に光を出力可能なものが用いられている。従って、基板1の出力ポートからオンオフの電気信号が出力されると、その電気信号は発光素子2aに入力されて光信号に変換され、オンオフの光信号として下方に向けて出力される。

[0025] 本例の光素子一体型LSI44では、図1A、図1Bに示す光出力付基板1AにLSI4が実装されている。さらに、LSI4の電気信号出力ポート(不図示)は、基板1の入力ポート(不図示)に半田バンプ3によって電気接続されている。この結果、LSI4と各発光素子2aとは、光出力付基板1Aの電気配線5を介して電氣的に接続されている。従って、LSI4の電気信号出力ポートからオンオフの電気信号が出力されると、出力された電気信号が光出力付基板1Aの出力ポートから出力されて発光素子2aに入力され、オンオフの光信号として出力される。

[0026] 図2A～図2Dに、図1A、図1Bに示す光出力付基板1Aの製造方法を示す。ここでは、出力ポートが8つある基板1を例にとって製造方法を説明するが、出力ポートの

数が異なるときは、発光素子の数を適宜増減すればよい。

- [0027] 図2Aに示すように、素子基板上に発光素子2aが4×4で配置された発光素子アレイ2を用意する。発光素子アレイ2を構成する複数の発光素子2aのうち、必要な発光素子2aのパッドに半田バンプ3を形成し、形成された半田バンプ3を用いて発光素子アレイ2と基板1とを電気接続する。ここで、必要な発光素子2aとは、基板1の出力ポートに電気接続することを意図する発光素子2aを意味する。従って、基板1の出力ポートに電気接続されない発光素子2aは、基板1の上に載せられてはいるが、基板1に電氣的に接続されてはいない。
- [0028] 次に、図2Bに示すように、発光素子アレイ2のうち、必要な発光素子2aのみを覆うように保護膜6を形成する。本例では、レジストの露光・現像等によりパターンニングした保護膜6を用いた。
- [0029] 次に、図2Cに示すように、不要な発光素子2aをエッチングによって除去する。その後、図2Dに示すように、保護膜6を除去する。
- [0030] 以上の工程によって、基板1の任意の位置に配置された複数の出力ポートに発光素子2aがそれぞれ実装された光出力付基板1Aが製造される。さらに、製造された光出力付基板1Aの上にLSI4を搭載し、LSI4の電気信号出力ポートと、基板1の入力ポートとを電気接続させれば、図1Cに示す光素子一体型LSI44が製造される。
- [0031] 本例の製造方法では、複数の発光素子2aからなる発光素子アレイ2を基板1に搭載した後、必要な発光素子2aを残し、不必要な発光素子2aを除去することを特徴する。従って、基板1の複数の出力ポートがランダムに配置されていても、全ての出力ポートに発光素子2aが一括して実装された光出力付基板1Aが得られる。この結果、発光素子2aの実装工程が簡略になり、低コスト化に寄与する。さらに、発光素子アレイ2を構成する複数の発光素子2aは、予め発光面の高さが揃えられているので、光出力付基板1Aが備える複数の発光素子2aの発光面は全て同一の高さとなる。ここで、光出力付基板1AにLSI4を実装してなる光素子一体型LSI44を光回路に光結合させて、外部のLSIやメモリ等との間で光信号の送受信を行なおうとする場合、各光回路の光信号入射面は一定の高さに揃えられているのが通常である。従って、光出力付基板1Aが備える複数の発光素子2aの高さが一定であるということは、各発光素子

2aと、それが光結合する複数の光回路との間隔を、全チャンネルにおいて一定に保つことができ、全発光素子2aと全光回路との間で高効率の光結合が実現されることを意味する。さらに、高効率の光結合が実現されることによって、各発光素子2aからの出射光の大部分を光回路に入射させることができるため、より遠方まで光信号を伝送できたり、また短距離の伝送であっても、ノイズ耐性が強い伝送ができるという効果も得られる。尚、ここでは一つの製造方法について説明したが、以下で述べる別の製造方法を用いて図1A、図1Bに示す光出力付基板1Aを製造することもできる。また、以下に述べる製造方法によって製造された光出力付基板にLSIを実装することによって、光素子一体型LSIを製造することもできる。

[0032] (実施形態2)

以下、本発明の光入力付基板及び光素子一体型LSIの一例を図面に基づいて詳細に説明する。図3Aは本例の光入力付基板1Bの構造概略を示す模式的平面図であり、図3Bは模式的断面図である。図3Cは本例の光素子一体型LSI44の構造概略を示す模式的断面図である。

[0033] 本例の光入力付基板1Bでは、基板1の片面(本例では裏面)に形成されている入力ポート(不図示)に受光素子7aが半田バンプ3によって電気接続されている。基板1の裏面には入力ポートが複数存在し、それら入力ポートは様々な位置にランダムに配置されており、各入力ポートに対して受光素子7aが実装されている。受光素子7aには、基板1の裏面側(図3Bの下方)から入射した光を受光可能なものが用いられている。従って、外部からオンオフの光信号が入力されると、その光信号は受光素子7aによって電気信号に変換され、オンオフの電気信号として基板1の入力ポートに出力される。

[0034] 本例の光素子一体型LSI44では、図3A、図3Bに示す光入力付基板1BにLSI4が実装されている。さらに、LSI4の電気信号入力ポート(不図示)は、基板1の出力ポート(不図示)に半田バンプ3によって電気接続されている。この結果、LSI4と各受光素子7aとは、光入力付基板1Bの電気配線5を介して電氣的に接続されている。従って、外部からオンオフの光信号が入力されると、その光信号は受光素子7aによって電気信号に変換され、オンオフの電気信号としてLSI4の電気信号入力ポートに出

力される。

- [0035] 図4A～図4Eに、図3A、図3Bに示す光入力付基板1Bの製造方法を示す。ここでは、入力ポートが8つある基板1を例にとって製造方法を説明するが、入力ポートの数が異なるときは、受光素子の数を適宜増減すればよい。
- [0036] まず、図4Aに示すように、素子基板8上に受光素子7aが4×4で配置された受光素子アレイ7を用意する。次に図4Bに示すように、受光素子アレイ7を構成する複数の受光素子7aのうち、必要な受光素子7aのみを覆うように保護膜6を形成する。本例では、レジストの露光・現像等によりパターンニングした保護膜6を用いた。ここで、必要な受光素子7aとは、後に基板1の入力ポートに電気接続することを意図する受光素子7aを意味する。
- [0037] 次に図4Cに示すように、不要な受光素子7aをエッチングにより除去する。但し、このエッチング工程では、不要な受光素子7aの表面の機能部（光信号を受光し、受光した光信号を電気信号に変換して出力する機能を果たすために必要な部分）9のみをエッチングし、素子基板8はエッチングしないようにする。これは複数の受光素子7a全体の支持部として素子基板8を利用するためである。
- [0038] 次に、保護膜6を除去することによって、必要な受光素子7aのみが機能部9を有する受光素子アレイ7を得る。その後、図4Dに示すように、機能部9を有する各受光素子7aのパッドに半田バンプ3を形成し、形成された半田バンプ3を用いて必要な受光素子7aと基板1とを電気接続する。
- [0039] 以上の工程によって、基板1の任意の位置に配置された複数の入力ポートに受光素子7aがそれぞれ実装された光入力付基板1Bが製造される。さらに、製造された光入力付基板1Bの上にLSI4を搭載し、LSI4の電気信号入力ポートと、基板1の出力ポートとを電気接続させれば、図3Cに示す光素子一体型LSI44が製造される。
- [0040] 本例の製造方法では、不要な受光素子7aの機能部9が予め除去された受光素子アレイ7を基板1に搭載し、その後、必要な受光素子7aと基板1の入力ポートとを電気接続することを特徴する。従って、基板1の複数の入力ポートがランダムに配置されていても、全ての入力ポートに受光素子7aが一括して実装された光出力付基板1Bが得られる。この結果、受光素子7aの実装工程が簡略になり、低コスト化に寄与する。

さらに、受光素子アレイ7を構成する複数の受光素子7aは、予め受光面の高さが揃えられているので、光入力付基板1Bが備える複数の受光素子7aの受光面は全て同一の高さとなる。ここで、光入力付基板1BにLSI4を実装してなる光素子一体型LSI44を光回路に光結合させて、外部のLSIやメモリ等との間で光信号の送受信を行なおうとした場合、各光回路の光信号出射面は一定の高さに揃えられているのが通常である。従って、光入力付基板1Bに実装されている複数の受光素子7aの高さが一定であるということは、各受光素子7aと、それが光結合する複数の光回路との間隔を、全チャンネルにおいて一定に保つことができ、全受光素子7aと全光回路との間で高効率の光結合が実現されることを意味する。さらに、高効率の光結合が実現されることによって、各光回路からの出射光の大部分が各受光素子7aによって受光されるため、従来は受光することが困難、又は不可能であった微弱な光信号であっても受光可能となる。例えば、長距離伝送によって減衰してしまったような微弱な光信号であっても受光可能となる。また、受光素子7aによって比較的光強度の強い光信号の大部分が受光されるため、ノイズ耐性が強い伝送が実現可能となる。後者の効果は、短距離伝送の場合に特に顕著である。

[0041] (実施形態3)

以下、本発明の光入出力付基板及び光素子一体型LSIの一例を図面に基づいて詳細に説明する。図5Aは、本例の光入出力付基板1Cの構造概略を示す模式的平面図であり、図5Bは模式的断面図である。図5Cは本例の光素子一体型LSI44を示す模式的断面図である。

[0042] 本例の光入出力付基板1Cでは、基板1の片面(本例では裏面)に形成されている出力ポート(不図示)に発光素子2aが半田バンプ3によって電気接続され、入力ポート(不図示)に受光素子7aが半田バンプ3によって電気接続されている。基板1の裏面には、出力ポート及び入力ポートが複数存在しており、それらポートは様々な位置にランダムに配置されている。

[0043] 発光素子2aには、基板1の裏面側(図5Bの下方)に光を出力可能なものが用いられている。従って、基板1の出力ポートからオンオフの電気信号が出力されると、その電気信号は発光素子2aに入力されて光信号に変換され、オンオフの光信号として

下方に向けて出力される。

- [0044] 受光素子7aには、基板1の裏面側(図5Bの下方)から入射した光を受光可能なものが用いられている。従って、外部からオンオフの光信号が入力されると、その光信号は受光素子7aによって電気信号に変換され、オンオフの電気信号として基板1の入力ポートに出力される。
- [0045] 図6A～図6Iに、図5A、図5Bに示す光入出力基板1Cの製造方法を示す。ここでは出力ポート及び入力ポートが、それぞれ8つずつ設けられている基板1を例にとつて製造方法を説明するが、入出力ポートの数が異なるときは、発光素子及び受光素子数の数を適宜変更することができる。
- [0046] 図6Aに示すように、素子基板上に発光素子2aが4×4で配置された発光素子アレイ2を用意する。発光素子アレイ2を構成している複数の発光素子2aのうち、必要な発光素子2aのパッドに半田バンプ3を形成し、形成された半田バンプ3を用いて発光素子アレイ2と基板1とを電気接続する。ここで、必要な発光素子2aとは、基板1の出力ポートに電気接続することを意図する発光素子2aを意味する。従って、基板1の出力ポートに電気接続されない発光素子2aは、基板1の上に載せられてはいるが、基板1と電氣的に接続されてはいない。また、必要な発光素子2aを基板1に電気接続するために用いる半田バンプ3は、後に必要な受光素子7aを電気接続するために用いる半田バンプ3よりも融点が高いものを用いる。この半田の使い分けによって、後に受光素子7aを電気接続する工程において、発光素子2aを接続している半田をとかさずに受光素子7aを接続することができる。
- [0047] 次に、図6Bに示すように、発光素子アレイ2のうち、必要な発光素子2aのみを覆うように保護膜6を形成する。本例では、レジストの露光・現像等によりパターンニングした保護膜6を用いた。
- [0048] 次に、図6Cに示すように、不要な発光素子2aをエッチングによって除去する。その後、図6Dに示すように、保護膜6を除去する。
- [0049] 続いて、受光素子7aの実装工程を図6E～図6Iを参照しながら説明する。まず、図6Eに示すように、素子基板8上に受光素子7aが4×4で配置された受光素子アレイ7を用意する。

- [0050] 次に図6Fに示すように、受光素子アレイ7を構成する複数の受光素子7aのうち、必要な受光素子7aのみを覆うように保護膜6を形成する。本例では、レジストの露光・現像等によりパターンニングした保護膜6を用いた。ここで、必要な受光素子7aとは、後に基板1の入力ポートに電気接続することを意図する受光素子7aを意味する。
- [0051] 次に図6Gに示すように、不要な受光素子7aをエッチングにより除去する。但し、このエッチング工程では、不要な受光素子7aの表面の機能部9のみをエッチングし、素子基板8はエッチングしないようにする。これは複数の受光素子7a全体の支持部として素子基板8を利用するためである。
- [0052] 次に、保護膜6を除去することによって、必要な受光素子7aのみが機能部9を有する受光素子アレイ7を得る。その後、図6Hに示すように、機能部9を有する複数の受光素子7aのパッドに半田バンプ3を形成し、形成された半田バンプ3を用いて必要な受光素子7aと基板1とを電気接続する。
- [0053] 最後に、図6Iに示すように、受光素子アレイ7の素子基板8をエッチングして除去する。
- [0054] ここで、発光素子アレイ2の1チャンネルの大きさを z とし(図6D参照)、受光素子アレイ7の1チャンネルの大きさを y としたとき(図6G参照)、発光素子2aと受光素子7aが上記組み立て時に干渉し合わないように、 z よりも y を小さくしてある。もっとも、上記 z を上記 y よりも小さくすることによっても、発光素子2aと受光素子7aとの干渉を回避することができる。図7Aー図7Iに、上記 z を上記 y よりも小さくすることによって、発光素子2aと受光素子7aとの干渉を回避した例を示す。
- [0055] これまでは、受光素子アレイを構成する複数の受光素子のうち、不要な受光素子の機能部のみを除去し、素子基板は残存させる製造方法について説明してきた。しかし、図8Aー図8Cに示すように、不要な受光素子7aを素子基板8ごとエッチングしてしまってもよい。この製造方法によれば、発光素子2aと素子基板8との干渉を回避するために、先に実装される発光素子2aの厚みを規制する必要はなくなる。尚、図8Aー図8Cに示す工程は、図6Gー図6Iに示す工程に相当する。従って、図6Aー図6Fに示す工程を実行し、その後に図8Aー図8Cに示す工程を実行すれば、図5A、図5Bに示す光入出力付基板1Cを製造することができる。

- [0056] 以上の工程によって、基板1の任意の位置に配置された複数の入出力ポートに発光素子2a及び受光素子7aがそれぞれ実装された光入出力付基板1Cが製造される。さらに、製造された光入出力付基板1Cの上にLSI4を搭載し、LSI4の電気信号入力ポートと基板1の出力ポートを、LSI4の電気信号出力ポートと基板1の入力ポートを、それぞれ電気接続させれば、図5Cに示す光素子一体型LSI44が製造される。
- [0057] 本例の製造方法では、複数の発光素子2aからなる発光素子アレイ2を基板1に搭載した後、必要な発光素子2aを残し、不必要な発光素子2aを除去するので、基板1の複数の出力ポートがランダムに配置されていても、全ての出力ポートに発光素子2aを一括で実装できる。従って、発光素子2aの実装工程が簡略になり、低コスト化に寄与する。さらに、発光素子アレイ2を構成する複数の発光素子2aは、予め発光面の高さが揃えられているので、基板1の各出力ポートに実装された発光素子2aの発光面は全て同一の高さとなる。ここで、光入出力付基板1CにLSI4を実装してなる光素子一体型LSI44を光回路に光結合させて、外部のLSIやメモリ等との間で光信号の送受信を行なおうとした場合、各光回路の光信号入射面は一定の高さに揃えられているのが通常である。従って、基板1に実装されている複数の発光素子2aの高さが一定であるということは、各発光素子2aと、それが光結合する複数の光回路との間隔を、全チャンネルにおいて一定に保つことができ、全発光素子2aと全光回路との間で高効率の光結合が実現されることを意味する。さらに、高効率の光結合が実現されることによって、各発光素子2aからの出射光の大部分を光回路に入射させることができるため、伝送可能距離のさらなる長距離化が実現され、また短距離伝送であっても、ノイズ耐性が強い伝送ができるという効果も得られる。
- [0058] さらに本例の製造方法では、不要な受光素子7aの機能部9が予め除去された受光素子アレイ7を基板1に搭載し、その後、必要な受光素子7aと基板1の入力ポートとを電気接続する。従って、基板1の複数の入力ポートがランダムに配置されていても、全ての入力ポートに受光素子7aを一括で実装できる。従って、受光素子7aの実装工程が簡略になり、低コスト化に寄与する。さらに、受光素子アレイ7を構成する複数の受光素子7aは、予め受光面の高さが揃えられているので、基板1の各入力ポートに実装された複数の受光素子7aの受光面は全て同一の高さとなる。ここで、光入出

力付基板1CにLSI4を実装してなる光素子一体型LSI44を光回路に光結合させて、外部のLSIやメモリ等との間で光信号の送受信を行なおうとした場合、各光回路の光信号出射面は一定の高さに揃えられているのが通常である。従って、基板1に実装されている複数の受光素子7aの高さが一定であるということは、各受光素子7aと、それが光結合する複数の光回路との間隔を、全チャンネルにおいて一定に保つことができ、全受光素子7aと全光回路との間で高効率の光結合が実現されることを意味する。さらに、高効率の光結合が実現されることによって、各光回路からの出射光の大部分が各受光素子7aによって受光されるため、従来は受光することが困難、又は不可能であった微弱な光信号であっても受光可能となる。例えば、長距離伝送によって減衰してしまったような微弱な光信号であっても受光可能となる。また、受光素子7aによって比較的光強度の強い光信号の大部分が受光されるため、ノイズ耐性が強い伝送が実現可能となる。後者の効果は、短距離伝送の場合に特に顕著である。

[0059] 総じて、本例の製造方法によって製造された光素子一体型LSIは、複数の発光素子及び受光素子の双方を備え、かつ、各発光素子及び各受光素子の高さが一定に揃っているので、発光側および受光側の全チャンネルにおいて光回路との高効率な光結合が実現されるという効果が得られ、送受信両方の光通信を良好な状況で行うことができるという効果が得られる。

[0060] また、本例の製造方法のように、複数の発光素子及び受光素子を一括して実装した場合、次のような効果も得られる。図9は、本例の製造方法によって製造された光入出力付基板1Cの模式的平面図であるが、受光素子7aの実際の実装位置は、所定の実装位置(図中に点線15aで示す)に対して上方向にずれている。また、発光素子2aの実際の実装位置は、所定の実装位置(図中に点線15bで示す)に対して左方向にずれている。しかし、複数の受光素子7a及び発光素子2aは、両者とも一括で基板1に実装されたものである。従って、所定の実装位置に対する実際の実装位置のずれの方向と距離は、同種の光素子において同一である。すなわち、図9では、全ての受光素子7aが所定の実装位置に対して上方向に同一距離だけずれている。また、全ての発光素子2aが所定の実装位置に対して左方向に同一距離だけずれている。この場合、受光素子7aに対応している複数のレンズ等(図示していない)の光部

品全体を上方向にずらせば高効率に結合でき、発光素子2aに対応している光部品全体を左方向にずらせば高効率に結合できる。

[0061] 以上のように、複数の受光素子及び発光素子が一括で基板に実装される本例の製造方法によって製造された光入出力付基板では、同種の複数の光素子の実装位置と、設計上の実装位置との間の位置ずれは、同種の複数の光素子において、同方向、かつ、同距離である。この結果、光素子が光結合すべき光回路の位置を光素子の位置ずれと同じ方向に同じ距離だけずらすことによって、同種の複数の光素子と光回路とを高効率で光結合させることができるという効果が生じる。但し、この効果は、同種の複数の光素子(図9の場合であれば、発光素子2aと光回路との光結合、又は受光素子7aと光回路との光結合のどちらか一方)に限定される。もちろん、異種の光素子のずれ方向とずれ量が同一であれば、両者について、光回路を高効率で結合させることができ、さらに良好な光通信を提供できる効果がある。

[0062] さらに、最初の工程で光素子を実装するために用いる半田の融点を高くしておき、その次以降の工程で光素子を実装するために用いる半田の融点を順々に低くしていくことにより、前工程の半田付けに用いた半田が溶けない温度によって次工程の半田付けを実行することができる。その結果、全ての工程通じて、光素子を一旦半田で固定した後で、その半田が再び溶けることはなくなるため、光素子の位置がずれずに、当初の実装位置が保持されるという効果が得られる。具体的には、複数の発光素子を最初に実装し、次に複数の受光素子を実装する工程をとる場合には、発光素子の実装に用いる半田の融点を、受光素子の実装に用いる半田の融点よりも高くしておくことにより、発光素子を実装した後、受光素子を実装する際に、発光素子の実装に用いた半田が溶けることがない。よって、発光素子の位置はずれない。当然、受光素子の実装に用いる半田は溶けるため、受光素子を所定の実装位置に固定できる。このように、異なる融点を持つ半田を使い分けることによって、発光素子及び受光素子をそれぞれ所定位置に固定できるといった効果が得られる。

[0063] また、図5Dに示すように、基板1と発光素子2a及び受光素子7aとの間に、アンダーフィル樹脂10を充填して、両者の接続強度を高めることもできる。アンダーフィル樹脂10の充填工程は、上記製造工程中の好適な段階に追加することができる。

[0064] (実施形態4)

図10A、図10Bに本発明の光入出力付基板の他例を示す。図10Aに示す光入出力付基板1Cでは、隣接する受光素子7aの一部が互いに繋がっている。受光素子アレイ7を構成する各受光素子7aの電極パターンが一部で2以上のチャンネル間に跨っており、チャンネル間をまたぐ電極パターンを分断したくない場合には、図10Aに示すような構造とすることが望ましい。尚、図10Aには、受光素子7a同士が繋がっている部分と分離されている部分の両者が存在する例を図示したが、発光素子に関しても同様である。また、図10Bに示す光入出力付基板1Cでは、隣接する発光素子2a及び受光素子7aの間に隙間が設けられ、光素子が各チャンネルごとに独立している。熱膨張の影響によって光素子に作用する応力となるべく少なくしたい場合には、図10Bに示すような構造とすることが望ましい。図10Bに示すように、隣接する光素子間に隙間を設けて、隣接する光素子同士を分離しやすくするための方法の一例として、隣接する光素子の間に、図10C又は図10Dに示すような切り込み12を入れておくことが考えられる。図10C及び図10Dは、光素子の断面を模式的に示しており、図10Cでは光素子の片方の面に、図10Dでは光素子の両側の面に切り込み12が入れられている。

[0065] 以上述べたように、基板に実装されている光素子が複数個繋がった構造を採用することによって、隣接する光素子間で電極配線を共通化でき、配線レイアウトの自由度が増加し、さらには、半田を電極のどこに配置して実装するかについての自由度も増加するといった効果が得られる。また逆に、光素子を単チャンネルごとに分離した構造を採用することによって、構成単位の光素子の大きさを小さくことができ、基板と光素子の熱膨張係数差に起因して光素子に加えられる応力を小さくできる効果が得られる。

[0066] (実施形態5)

図11A及び図11Bに、本発明の光入出力付基板の他例を示す。図11Aに示す光入出力付基板1Cでは、複数の受光素子7aの高さが基板1に対して一定であり、又、複数の発光素子2aの高さも基板1に対して一定である。しかし、発光素子2aと受光素子7bの高さは異なっている。図11Aに示すような光入出力付基板1Cは、発光素

子2aを基板1に実装した後に、受光素子7aを基板1に実装することによって製造可能である。この際、受光素子7aの厚みを発光素子2aの厚みよりも厚くしておくことにより、発光素子2aと受光素子7aとの干渉を避けて両者を実装することができる。

[0067] 図11Bに示す光入出力付基板1Cでは、複数の受光素子7a及び発光素子2aの高さが基板1に対して一定である。すなわち、全ての光素子の高さが同一とされている。図11Bに示すような光入出力付基板1Cは、図11Aのような構造の光入出力付基板1Cを製造してから、厚みの厚い光素子(図11Aでは受光素子7a)を厚みの薄い光素子(図11Aでは発光素子2a)に合わせてエッチングすることによって製造可能である。

[0068] 尚、図11A、図11Bに示すように、実装されている光素子の高さが揃っていることによる利点については、これまでに繰り返し説明しているので、ここでの説明は省略する。

[0069] (実施形態6)

図12に、本発明の光入出力付基板の他例を示す。図12に示す光入出力付基板1Cでは、基板1に複数の発光素子2aと受光素子7aが半田バンプ3によって実装されており、それら発光素子2a及び受光素子7aの近傍にヒートシンク13が設けられている。ヒートシンク13の材料としては、アルミ、銅、シリコンなど様々な材料を用いることができる。尚、ヒートシンク13の材料が発光素子2a及び受光素子7aに入出力する光の波長に対して光学的に透明である場合には問題はないが、透明ではない場合には、光路を確保するための窓14を形成する必要がある。

[0070] 受光素子や発光素子といった光素子は温度が高くなると、常温時に比べて性能が低下することが知られている。しかし、本例の光入出力付基板1Cによれば、発光素子2a及び受光素子7aの近傍に設けられたヒートシンク13によって、発光素子2a及び受光素子7aから発生する熱が放熱され、発光素子2a及び受光素子7aを常温に近い温度で駆動することができる。この結果、発光素子2a及び受光素子7aの性能が十分に発揮される。さらに、基板1の表面側にも同様のヒートシンクを設けることによって、放熱効果をより一層高めることができる。

[0071] (実施形態7)

図13Aに、本発明の光入出力付基板の他例を示す。図13Aに示す光入出力付基板1Cでは、基板1の各出力ポートに発光素子2aが実装され、各入力ポートに受光素子7aが実装されている。さらに、実装された発光素子2aの全部又は一部にはレンズ16が集積化されている。レンズ16の収束作用によって、発光素子2aから出射された光の発散が抑制され、又はコリメートされて、結合対象の光学部品に対して高効率で光結合しやすくなる。また、必要であれば、受光素子7aにもレンズを集積化することができる。受光素子7aは、その高速化に伴って受光部の小型化が進んでおり、高効率な光結合を実現するためには、レンズの集積化が有効である。発光素子2aや受光素子7aにレンズを集積化させる方法としては、図13Bに示すように、受光素子7aが形成されている素子基板8を凸形状にエッチングする方法や、ポリマーを発光素子2aや受光素子7aに塗布後、硬化させてポリマーの表面張力を利用してレンズ形状にする方法等がある。

[0072] 以上のように、光素子にレンズを設けることによって、光素子から出射された光や光回路から出射された光の発散を抑制することができる。また、レンズなどの光学系の特性によっては平行光にすることもできる。その結果、光素子と光回路間の距離がある程度離れていても高効率な光結合が実現される。あるいは、受光素子の受光部の面積が小さい場合や、光回路の光伝播部(通常コアと呼ばれる)の大きさが小さい場合も、高効率な光結合が実現され、良好な光通信を提供できるという効果が得られる。

[0073] 図13Cに、本発明の光素子一体型LSIの他例を示す。図13Cに示す光素子一体型LSI44は、図13Aに示す光入出力付基板1Cに半田バンプ3を介してLSI44を実装したものである。実装された光素子一体型LSI44の電気信号入力ポートは基板1の出力ポートに電気接続され、光素子一体型LSI44の電気信号出力ポートは基板1の入力ポートに電気接続されている。

[0074] (実施形態8)

図14A、図14Bに、本発明の光入出力付基板の他例を示す。図14A、図14Bに示す光入出力付基板1Cでは、基板1に複数の発光素子2aと受光素子7aが実装されている。ここでは基板1に出力ポートと、入力ポートが8つずつ設けられている場合

を例にとって説明するが、入出力ポートの数が異なるときは、発光素子及び受光素子の数を適宜変更することができる。本例では、発光素子2a及び受光素子7aが機能部を残して薄膜化されている。ここで、受光素子7aの機能部とは前記した通りである。また、発光素子2aの機能部とは、入力された電気信号を光信号に変換して、外部に出力する機能を果たすために必要な部分を意味する。

[0075] 上記のように、発光素子2a及び受光素子7aを薄膜化することにより、これら光素子と光学的に結合する対象との間の距離を短くすることが可能となり、結合効率、位置ずれの許容量を向上させることができる。また、薄膜化により光素子の基板部分がなくなり、光が基板を透過する段階で生じるロスをなくすることができる。

[0076] 図14Cに、本発明の光素子一体型LSIの他例を示す。図14Cに示す光素子一体型LSI44は、図14A、図14Bに示す光入出力付基板1Cに半田バンプ3を介してLSI4を実装したものである。実装されたLSI4の電気信号入力ポートは基板1の出力ポートに電気接続され、LSI4の電気信号出力ポートは基板1の入力ポートに電気接続されている。

[0077] 図15A～図15Lに、図14A、図14Bに示す光入出力付基板1Cの製造方法を示す。まず、図15Aに示すように、不図示の素子基板上に発光素子2aが4×4で配置された発光素子アレイ2を用意する。この発光素子アレイ2のうち、必要な受光素子2aのパッドにのみ半田バンプ3を形成し、形成した半田バンプ3を用いて発光素子アレイ2と基板1とを電気接続する。ここで必要な発光素子2aとは、基板1の出力ポートに電気接続することを意図する受光素子2aを意味する。

[0078] 次に、図15Bに示すように、発光素子アレイ2のうち、必要な受光素子2のみを覆うように保護膜6を形成する。本例では、レジストの露光・現像等によりパターンニングした保護膜6を用いた。

[0079] 次に、図15Cに示すように、不要な発光素子2aをエッチングにより除去する。その後、図15Dに示すように、保護膜6を除去して、必要な位置にのみ発光素子2aを実装する。

[0080] 次に、図15Eに示すように、発光素子2aが実装されていない基板1の表面を保護膜6で被覆した後、発光素子2aの素子基板をエッチングすることによって、発光素子

2aを薄膜化する。その後、図15Fに示すように、保護膜6を除去する。

- [0081] 続いて、図15Gに示すように、素子基板8上に4×4で受光素子7aが配置された受光素子アレイ7を用意する。次に、図15Hに示すように、必要な受光素子7aのみを覆うように保護膜6を形成する。本例では、レジストの露光・現像等によりパターンニングした保護膜6を用いた。ここで、必要な受光素子7aとは、後に基板1に電気接続することを意図する受光素子7aである。
- [0082] 次に、図15Iに示すように、不要な受光素子7aをエッチングにより除去する。但し、ここでのエッチング工程では、受光素子7aの表面をエッチングすると共に、素子基板8の表面を部分的にエッチングするが、素子基板8の全てをエッチングせず、一部を残すようにする。これは複数の受光素子7a全体の支持部として素子基板8を利用するためである。その後、保護膜6を除去して、必要な位置のみに受光素子7aが残された受光素子アレイ7を得る。さらに、残されている複数の受光素子7aのパッドに半田バンプ3を形成する。
- [0083] 次に、図15Jに示すように、既に発光素子2aが実装されている基板1に、受光素子7aが電気接続される入力ポートに連通する開口17を設け、他の部分は保護膜6で被覆する。その後、図15Kに示すように、受光素子アレイ7の各受光素子7aが対応する開口17に嵌め込まれるように、受光素子アレイ7を基板1に載せ、複数の受光素子7aを一括して搭載する。
- [0084] 次に、図15Lに示すように、受光素子アレイ7の素子基板8をエッチングしてから、基板1側に設けられている保護膜6を除去する。
- [0085] 他の製造方法として、発光素子アレイ2を構成する複数の発光素子2aのうち、不要な発光素子2aを最初に除去してから基板1の出力ポートに実装し、受光素子7aについては上記と同様の方法で実装する方法を取ることもできる。
- [0086] 以上述べた製造方法によって、薄膜化された光素子を備えた光入出力付基板1Cを製造することができる。また、製造された光入出力付基板1CにLSI4を実装すれば、図14Cに示す光素子一体型LSI44が製造される。薄膜化された光素子を備えた光入出力付基板1Cによれば、光素子の機能部と、その機能部に光結合する光回路との間の距離を短くすることが出来るため、発光素子又は光回路から出射された光信

号があまり広がらないうちに、光回路や受光素子に結合させることができ、光結合効率が高くなるという効果が得られる。

[0087] (実施形態9)

図16A、図16Bに、本発明の光入出力付基板の他例を示す。図16A、図16Bに示す光入出力付基板1Cでは、基板1に5つの光素子の実装されている。このうち3つの光素子18aは基板1の左に寄った部分に纏まっており、これらを群1と呼ぶ。一方、残りの2つの光素子18bは基板1のほぼ中央に纏まっており、これらを群2と呼ぶ。

[0088] ここで、群1に属する3つの光素子18aは高さが一定であり、群2に属する2つの光素子18bも高さは一定である。しかし、光素子18aは光素子18bよりも高さが低い。従って、群1に属する光素子18aと光結合する光ファイバ等(不図示)の位置が、群2に属する光素子18bと光結合する光ファイバ等(不図示)の位置よりも高い場合、群1に属する光素子18aの高さを群2に属する光素子18bより低くしておくことによって、群1に属する光素子18aと光ファイバとの距離と、群2に属する光素子18bと光ファイバとの距離とをほぼ同じ距離にして、平均的に高効率な光結合を実現することができる。

[0089] 以上のように、各群に属する光素子ごとに、光結合すべき光回路群の高さが異なる場合には、対応する光回路群の高さに合わせて各群に属する光素子の高さを設定しておくことによって、各群に属する光素子と光回路との間でそれぞれ高効率な光結合が実現され、良好な光通信を提供できる効果が得られる。

[0090] (実施形態10)

図17A、図17B及び図18A、図18Bに、本発明の光入出力付基板の他例を示す。図17A、図17Bに示す光入出力付基板1Cは、複数の光素子18を個別に実装する従来の製造方法によって製造されたものである。図18A、図18Bに示す光入出力付基板1Cは、複数の光素子18を一括で実装する本発明の製造方法によって製造されたものである。図17A、図17Bに示す光入出力付基板1Cでは、基板1の高さを基準とした場合、隣接する光素子18間の高さのずれ19は $2\mu\text{m}$ 程度であり、装置等の条件によっては高さのずれがそれ以上になる場合も多くある。一方、図18A、図18Bに示す光入出力付基板1Cでは、隣接する光素子18間の高さのずれ19は $0.5\mu\text{m}$ 程度に抑えられている。上記 $2\mu\text{m}$ のずれに対して、大幅に高さのずれが低減され

ていることがわかる。その理由として、本発明の製造方法では、複数の光素子からなる光素子アレイを搭載した後に不必要な光素子を除去することによって、複数の必要な光素子を一括実装するか、不要な光素子が予め除去された光素子アレイを搭載することによって、複数の必要な光素子を一括実装するからである。更なる効果として、複数の光素子を一括して実装すると、光素子を1つずつ実装する場合に比べて、実装に要する時間を短縮することができ、コストを低減することができる。また、その効果は実装される光素子の数が増えるほど大きくなる。

[0091] (実施形態11)

図19A～図19Cに、本発明の光入出力付基板の製造方法の他例を示す。図19Aに示すように、本例で使用されるLSI4は、4チャンネルの電気信号入力ポート20と、4チャンネルの電気信号出力ポート21とを有し、それら8チャンネルの入出力ポートが様々な配置にランダムに配置されている。そこで、本例の製造方法では、図19Bに示すように、LSI4を内層に不図示の電気配線が形成された基板1に半田を用いて実装し、LSI4の電気信号入力ポート20と、電気信号出力ポート21を同図に示すように再配置する。具体的には、電気信号入力ポート20をLSI4の右半分に、電気信号出力ポート21をLSI4の左半分にそれぞれ纏めて配置し直す。次に、図19Cに示すように、再配置された電気信号入力ポート20に、受光素子7aが 2×4 で形成された受光素子アレイ7を実装する。また、再配置された電気信号出力ポート21に、発光素子2aが 2×4 で形成された発光素子アレイ2を実装する。以上によって、LSI4の各入出力ポートに受発光素子がそれぞれ実装され、外部との間で光信号のやり取りが可能となる。また、複数の発光素子2a及び受光素子7aはそれぞれ一括で実装され、高さが揃っている。

[0092] 以上のように、バラバラに配置されていたLSIの電気信号入出力ポートを基板の電気配線を用いて再配置することによって、電気信号入出力ポートが一箇所に纏められ、光素子アレイを搭載可能となる。この結果、複数の光素子に対応する複数のポートに一括して実装可能となり、製造工程が減り、低コスト化が実現される。また、光素子を個別に実装する場合と異なり、同種の光素子の高さを一定に揃えることができる。さらに、光素子と光結合する光回路も入力側と出力側とに分けることが可能になり、

設計が容易となる。また、送信側と受信側とが分離されることによって、送受信間のクロストークが低減される効果も得られる。

[0093] (実施形態12)

図20に、本発明の光素子一体型LSIの他例を示す。図20に示す光素子一体型LSI44は、光入出力付基板1CにLSI4が実装されているという基本構成は、これまで説明してきた光素子一体型LSIと共通である。異なるのは、基板1に、ドライバIC22とアンプ23とが実装されている点である。より具体的には、LSI4の電気信号出力ポートがドライバIC22に電気接続され、ドライバIC22が発光素子2aに電気接続されている。また、LSI4の電気信号入力ポートがアンプ23に電気接続され、アンプ23が受光素子7aに電気接続されている。

[0094] 光素子の種類によっては、ドライバICやアンプを用いた方が良好な性能を発揮するものもある。例えば、ドライバICを用いることによって、発光素子の発光量が大きくなる場合や、アンプを用いることによって、受光素子の出力信号(電気信号)がより大きく増幅される場合がある。従って、以上のような特性を有する光素子を用いる場合には、図20に示すような構造を採用することが望ましい。

[0095] (実施形態13)

LSIの電気信号入出力ポートが互いに近接していると、入出力される信号間で電氣的な干渉が発生し、信号が乱れることがある。従って、LSIの入出力ポートを離して、クロストークの低減を図ることがある。そこで、本発明の光入出力付基板1Cでは、入出力ポートが離れているLSIに对应すべく、図21に示すように、発光素子2aと受光素子7aとを一定距離以上離して基板1に実装することもできる。

[0096] (実施形態14)

図22A、図22Bに、本発明の光素子一体型LSIの他例を示す。図22A、図22Bに示す光素子一体型LSI44では、基板1の同一面上にLSI4、発光素子2a及び受光素子7aが実装されている。また、LSI4と発光素子2a及び受光素子7aとは、基板1に形成された電気配線5によって電氣的に接続されている。さらに、LSI4等が実装されている基板1の面上には、光導波路24も形成されており、発光素子2a及び受光素子7aは、光導波路24の端面に設けられた不図示のミラーを介して光導波路24と光結

合している。尚、図22A、図22Bに示すLSI4の電気信号入出力ポートは、実施形態11で説明した手法によって再配置されている。

[0097] 以上のように、基板に実装された光素子が光結合する光導波路を同基板の同一面に形成することによって、光素子と光導波路との間で高効率な光結合が実現されるという効果が得られる。

[0098] 図23A、図23Bに示す光素子一体型LSI44では、基板1の一方の面にLSI4が実装され、他方の面に発光素子2a及び受光素子7aが実装され、光導波路24が形成されている。かかる構造によって、基板1の一方の面を主に電気配線を形成するための領域として利用し、他方の面を主に光配線を形成するための領域として利用できるので、高密度な実装を実現することができる。さらに、2つの発光素子2aの出力光の波長を異ならせれば、同一の光導波路24に2つの発光素子2aを光結合させることができる。また、受光素子7aが受光可能な光の波長を2つの受光素子間で異ならせることによって、2つの受光素子7aを同一の光導波路24に光結合させることもできる。これらにより、波長多重通信による大容量伝送が実現可能となる。尚、多重される波長数をさらに増やして、さらなる大容量伝送を実現することもできる。

[0099] (実施形態15)

図24A、図24Bに、光導波路24、光導波路端面ミラー25及び電気配線が形成された光電気混載基板26に、本発明の光素子一体型LSI44を実装した場合の断面構造を示す。ここで、光電気混載基板20とは、光回路と電気回路の両方が設けられた基板を意味する。図24A、図24Bには、光回路として光導波路24を用いた例を示すが、その他の光回路として光ファイバを用いても良い。図24Aは、本発明の光素子一体型LSI44を光電気混載基板26に実装した場合の断面構造を示す。一方、図24Bは従来方法によって製造された光素子一体型LSIを光電気混載基板26に実装した場合の断面構造を示す。

[0100] 図24Aに示す光素子一体型LSI44と、図24Bに示す光素子一体型LSIとは、3チャンネル分の発光素子2aと、1チャンネル分の受光素子7aとが実装された基板1にLSI4が実装されてなる点で共通している。しかし、図24Aと図24Bとを比較すれば明らかのように、複数の発光素子2a及び受光素子7aが一括して基板1に実装された本

発明の光素子一体型LSI44では、発光素子2a及び受光素子7aの高さが一定に揃っている。一方、各チャンネルの発光素子2a及び受光素子7aが1つずつ基板1に実装された図24Bの光素子一体型LSIでは、各光素子間の高さにばらつきが生じている。

[0101] 光電気混載基板26は、その表面に光導波路24と光導波路端面ミラー25が形成され、更に電気配線(不図示)が形成されている。また、光素子一体型LSI44と光電気混載基板26は、半田バンプ3を用いて電気接続され、光素子一体型LSI44の受発光部と光導波路端面ミラー25は、X、Y、Z方向の位置を合わせることで、光結合している。ここで、X方向は光電気混載基板26の表面と平行な方向で、Y方向は紙面に垂直な方向で、Z方向は、光電気混載基板26の表面に垂直な方向を示し、図24A、図24BにはX、Z方向の断面を示してある。光素子一体型LSI44の比較的低速な信号と、電源、グランドとは半田バンプ3を介して電氣的に光電気混載基板26との間でやり取りされ、高速な信号は発光素子2a及び受光素子7aと光導波路24とを用いてやり取りされる。

[0102] ここで、光素子一体型LSI44から出力される光信号を高効率、かつ全チャンネルについて同じ効率で光結合させるためには、発光素子2a及び受光素子7aと、光導波路端面ミラー25との相対位置が、それぞれのチャンネルで揃っている必要がある。

[0103] この点、複数の発光素子2a及び受光素子7aの基板1に対する高さが一定である図24Aの光素子一体型LSI44を光電気混載基板26に対して平行に、かつ、発光素子2a及び受光素子7aと光導波路端面ミラー25の光軸を合わせて近接搭載すれば、各発光素子2a及び受光素子7aと光導波路端面ミラー25との距離(Z方向)は一定になる。従って、全チャンネルについて同一で高効率の光結合をとることができる。さらに、光素子一体型LSI44から出力される複数の光信号を高強度で、均一に光導波路24に伝送することができ、全チャンネルにおいて、遠方まで光信号を伝送することができる。また、光信号の受信に関しても、均一に高効率で光導波路24と結合できることにより、遠方より来た微弱な光信号を受信することができる効果がある。

[0104] 一方、図24Bの光素子一体型LSIのように、複数の発光素子2a及び受光素子7aの基板1に対する高さが一定でない場合は、光素子一体型LSIを光電気混載基板2

6に対して平行に実装したとしても、各発光素子2a及び受光素子7aと光導波路端面ミラー25との距離(Z方向)は一定とはならず、両者の光結合にばらつきが生じる。その結果、光信号を伝送できる距離にばらつきが生じ、光結合効率が悪いチャンネルでは伝送距離が短くなるという問題が生じる。また、光信号を受信する場合でも、同様に結合効率が悪いチャンネルでは、光伝送距離が短くなる問題が生じる。

請求の範囲

- [1] 半導体集積回路を実装可能な基板であって、
入力された光信号を電気信号に変換して、実装されている半導体集積回路に出力可能な2以上の受光素子を有し、
前記2以上の受光素子の高さが互いに同一である光入力付基板。
- [2] 半導体集積回路を実装可能な基板であって、
入力された光信号を電気信号に変換して、実装されている半導体集積回路に出力可能な2以上の受光素子を有し、
前記2以上の受光素子の高さが互いに同一であり、かつ、それら2以上の受光素子の少なくとも1つに、入力された光を該受光素子の受光面に向けて収束させる機能を有する光学素子が設けられている光入力付基板。
- [3] 前記2以上の受光素子の全部又は一部に共通の電極パターンを有する請求項1記載の光入力付基板。
- [4] 前記2以上の受光素子の全部又は一部に共通の電極パターンを有する請求項2記載の光入力付基板。
- [5] 半導体集積回路を実装可能な基板であって、
実装されている半導体集積回路から出力された電気信号を光信号に変換して出力可能な2以上の発光素子を有し、
前記2以上の発光素子の高さが互いに同一である光出力付基板。
- [6] 半導体集積回路を実装可能な基板であって、
実装されている半導体集積回路から出力された電気信号を光信号に変換して出力可能な2以上の発光素子を有し、
前記2以上の発光素子の高さが互いに同一であり、かつ、それら2以上の発光素子の少なくとも1つに、該発光素子の発光面から出力された光を収束させる機能を有する光学素子が設けられている光出力付基板。
- [7] 前記2以上の発光素子の全部又は一部に共通の電極パターンを有する請求項5記載の光出力付基板。
- [8] 前記2以上の発光素子の全部又は一部に共通の電極パターンを有する請求項6記

載の光出力付基板。

- [9] 半導体集積回路を実装可能な基板であって、
入力された光信号を電気信号に変換して、実装されている半導体集積回路に出力可能な2以上の受光素子と、
実装されている半導体集積回路から出力された電気信号を光信号に変換して出力可能な2以上の発光素子とを有し、
前記2以上の受光素子の高さが互いに同一であり、かつ、前記2以上の発光素子の高さが互いに同一である光入出力付基板。
- [10] 前記2以上の受光素子の高さ、前記2以上の発光素子の高さが互いに同一である請求項9記載の光入出力付基板。
- [11] 前記受光素子と発光素子の双方または一方に、入射した光を収束させる機能を有する光学素子が設けられている請求項9記載の光入出力付基板。
- [12] 前記受光素子と発光素子の双方または一方に、入射した光を収束させる機能を有する光学素子が設けられている請求項10記載の光入出力付基板。
- [13] 前記2以上の受光素子及び発光素子の全部又は一部に共通の電極パターンを有する請求項9記載の光入出力付基板。
- [14] 前記2以上の受光素子及び発光素子の全部又は一部に共通の電極パターンを有する請求項10記載の光入出力付基板。
- [15] 前記2以上の受光素子及び発光素子の全部又は一部に共通の電極パターンを有する請求項11記載の光入出力付基板。
- [16] 前記2以上の受光素子及び発光素子の全部又は一部に共通の電極パターンを有する請求項12記載の光入出力付基板。
- [17] 前記受光素子を前記基板に固定している半田の融点と、前記発光素子を前記基板に固定している半田の融点とが異なる請求項9記載の光入出力付基板。
。
- [18] 請求項1記載の光入力付基板に半導体集積回路が実装され、その半導体集積回路の電気信号入力ポートに、前記光入力付基板が有する受光素子によって変換された電気信号が出力される光素子一体型半導体集積回路。

- [19] 請求項5記載の光出力付基板に半導体集積回路が実装され、その半導体集積回路の電気信号出力ポートから出力された電気信号が、前記光出力付基板が有する発光素子によって光信号に変換されて出力される光素子一体型半導体集積回路。
- [20] 請求項9記載の光入出力付基板に半導体集積回路が実装され、その半導体集積回路の電気信号入力ポートに、前記光入出力付基板が有する受光素子によって変換された電気信号が出力され、前記半導体集積回路の電気信号出力ポートから出力された電気信号が、前記光入出力付基板が有する発光素子によって光信号に変換されて出力される光素子一体型半導体集積回路。
- [21] 入力された光信号を電気信号に変換する2以上の受光素子が実装された光入力付基板の製造方法であって、
受光素子アレイ中の必要な受光素子にのみバンプを形成する工程と、
前記バンプを用いて前記受光素子アレイを基板に実装することによって、前記バンプが形成された受光素子を前記基板の入力ポートに接続させる工程と、
前記入力ポートに接続された前記受光素子を保護膜で被覆する工程と、
前記保護膜によって被覆されていない不必要な受光素子を前記受光素子アレイから除去する工程と、
前記保護膜を除去する工程と、
を有する受光素子実装工程を含む光入力付基板の製造方法。
- [22] 入力された電気信号を光信号に変換する2以上の発光素子が実装された光出力付基板の製造方法であって、
発光素子アレイ中の必要な発光素子のみを保護膜で被覆する工程と、
前記保護膜によって被覆されていない不必要な発光素子の機能部を除去する工程と、
前記保護膜を除去する工程と、
前記不必要な発光素子の機能部が除去された前記発光素子アレイを基板に実装し、前記必要な発光素子を前記基板の出力ポートに接続させる工程と、
を有する発光素子実装工程を含む光出力付基板の製造方法。
- [23] 入力された電気信号を光信号に変換する2以上の発光素子が実装された光出力

付基板の製造方法であって、

発光素子アレイ中の必要な発光素子のみを保護膜で被覆する工程と、
前記保護膜によって被覆されていない不必要な発光素子を素子基板ごと除去する工程と、

前記保護膜を除去する工程と、

前記不必要な発光素子が除去された前記発光素子アレイを基板に実装し、前記必要な発光素子を前記基板の出力ポートに接続させる工程と、

を有する発光素子実装工程を含む光出力付基板の製造方法。

- [24] 受光素子と発光素子の双方が実装された光入出力付基板の製造方法であって、
受光素子アレイ中の必要な受光素子にのみバンプを形成する工程と、
前記バンプを用いて前記受光素子アレイを基板に実装することによって、前記バンプが形成された受光素子を前記基板の入力ポートに接続させる工程と、
前記入力ポートに接続された前記受光素子を保護膜で被覆する工程と、
前記保護膜によって被覆されていない不必要な受光素子を前記受光素子アレイから除去する工程と、
前記保護膜を除去する工程と、を有する受光素子実装工程と、
発光素子アレイ中の必要な発光素子のみを保護膜で被覆する工程と、
前記保護膜によって被覆されていない不必要な発光素子の機能部を除去する工程と、
前記保護膜を除去する工程と、
前記不必要な発光素子の機能部が除去された前記発光素子アレイを基板に実装し、前記必要な発光素子を前記基板の出力ポートに接続させる工程と、を有する発光素子実装工程と、
を含む光出力付基板の製造方法。

- [25] 受光素子と発光素子の双方が実装された光入出力付基板の製造方法であって、
受光素子アレイ中の必要な受光素子にのみバンプを形成する工程と、
前記バンプを用いて前記受光素子アレイを基板に実装することによって、前記バンプが形成された受光素子を前記基板の入力ポートに接続させる工程と、

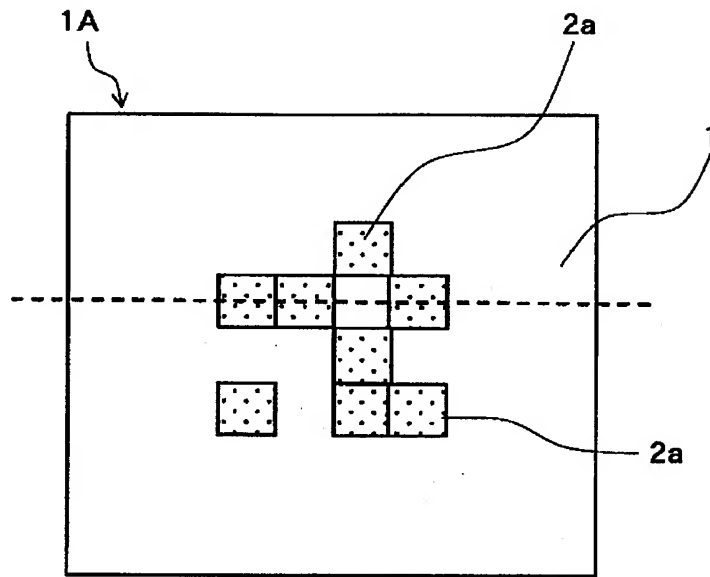
前記入力ポートに接続された前記受光素子を保護膜で被覆する工程と、
前記保護膜によって被覆されていない不必要な受光素子を前記受光素子アレイから除去する工程と、
前記保護膜を除去する工程と、を有する受光素子実装工程と、
発光素子アレイ中の必要な発光素子のみを保護膜で被覆する工程と、
前記保護膜によって被覆されていない不必要な発光素子を素子基板ごと除去する工程と、
前記保護膜を除去する工程と、
前記不必要な発光素子が除去された前記発光素子アレイを基板に実装し、前記必要な発光素子を前記基板の出力ポートに接続させる工程と、を有する発光素子実装工程と、
を含む光入出力付基板の製造方法。

- [26] 前記受光素子アレイの素子基板をエッチングして薄膜化する工程を含む請求項21記載の光入力付基板の製造方法。
- [27] 前記発光素子アレイの素子基板をエッチングして薄膜化する工程を含む請求項22記載の光出力付基板の製造方法。
- [28] 前記発光素子アレイの素子基板をエッチングして薄膜化する工程を含む請求項23記載の光出力付基板の製造方法。
- [29] 前記受光素子アレイの素子基板と前記発光素子アレイの素子基板の双方または一方をエッチングして薄膜化する工程を含む請求項24記載の光入出力付基板。
- [30] 前記受光素子アレイの素子基板と前記発光素子アレイの素子基板の双方または一方をエッチングして薄膜化する工程を含む請求項25記載の光入出力付基板。
- [31] 前記受光素子アレイの素子基板をエッチングしてレンズ化する工程を含む請求項21記載の光入力付基板の製造方法。
- [32] 前記発光素子アレイの素子基板をエッチングしてレンズ化する工程を含む請求項22記載の光出力付基板の製造方法。
- [33] 前記受光素子アレイの素子基板と前記発光素子アレイの素子基板の双方または一方をエッチングしてレンズ化する工程を含む請求項24記載の光入出力付基板の製

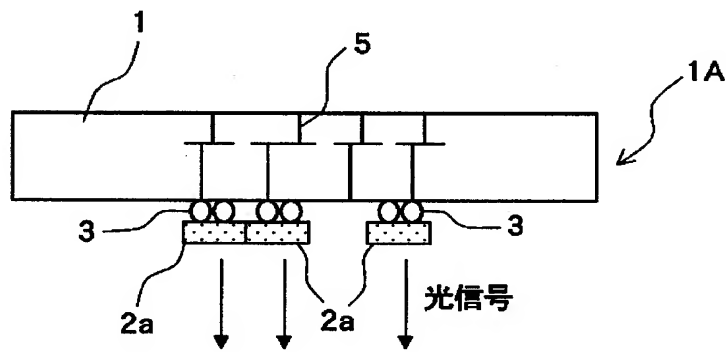
造方法。

- [34] 前記受光素子アレイの素子基板と前記発光素子アレイの素子基板の双方または一方をエッチングしてレンズ化する工程を含む請求項25記載の光入出力付基板の製造方法。

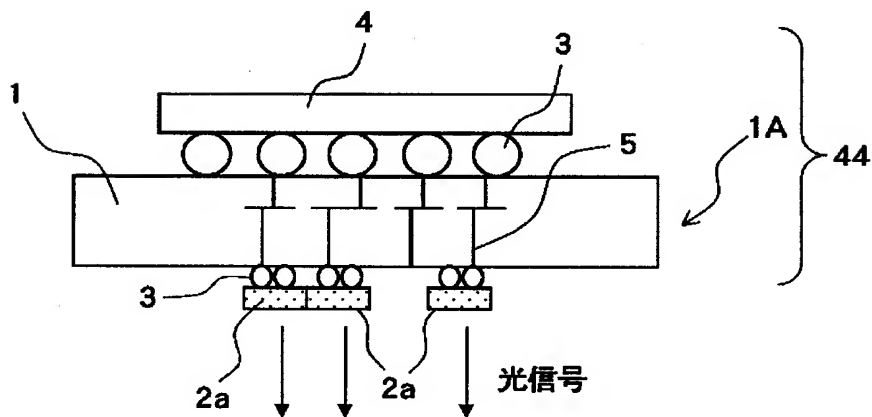
[図1A]



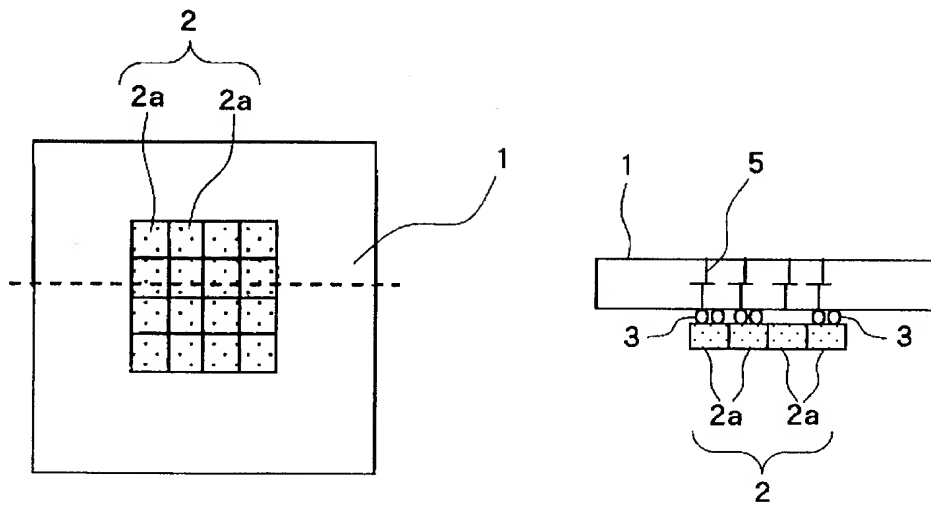
[図1B]



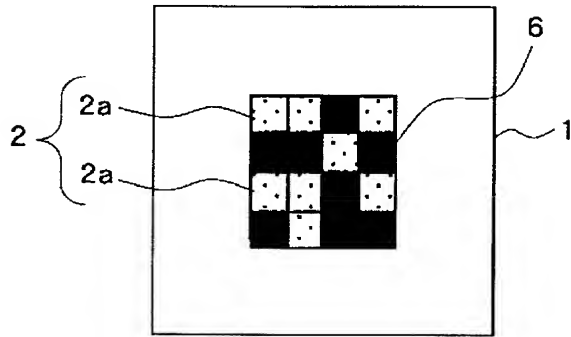
[図1C]



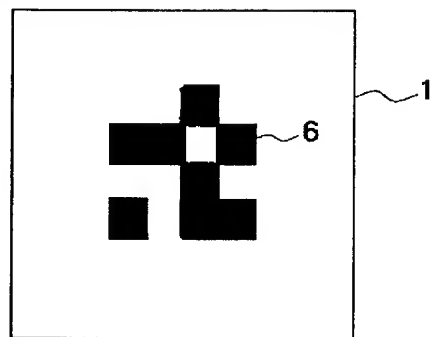
[図2A]



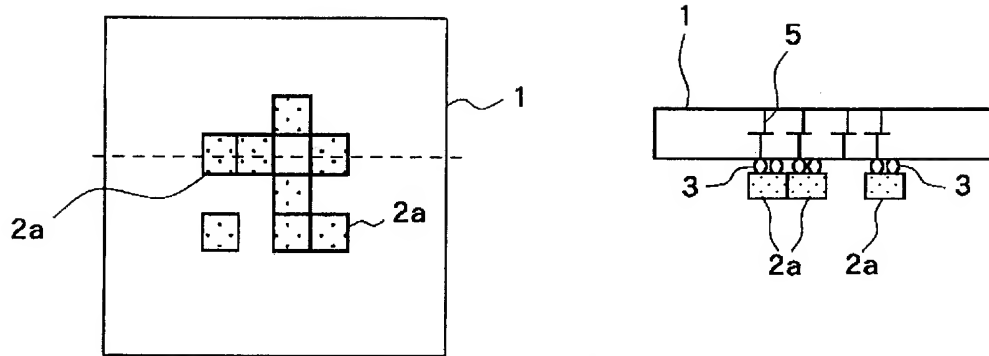
[図2B]



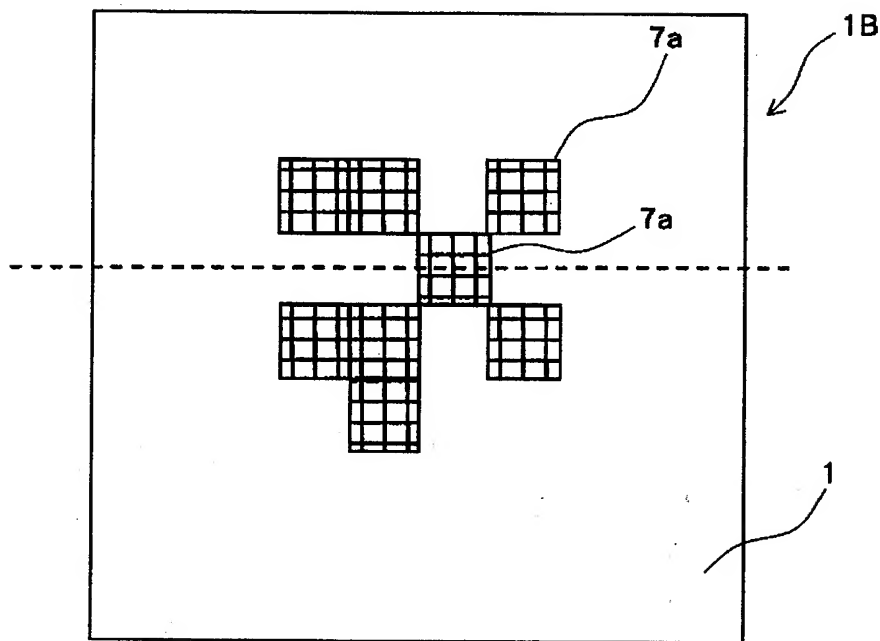
[図2C]



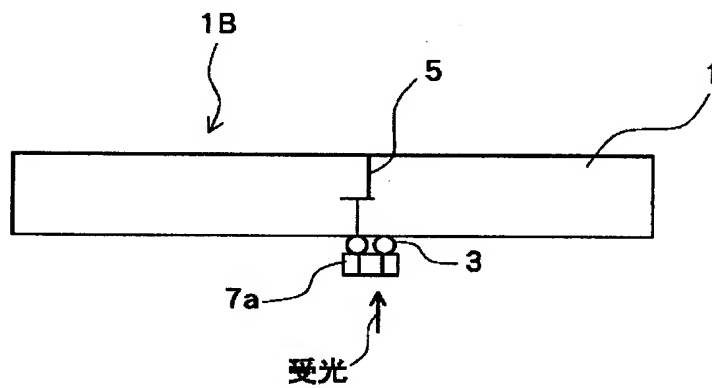
[図2D]



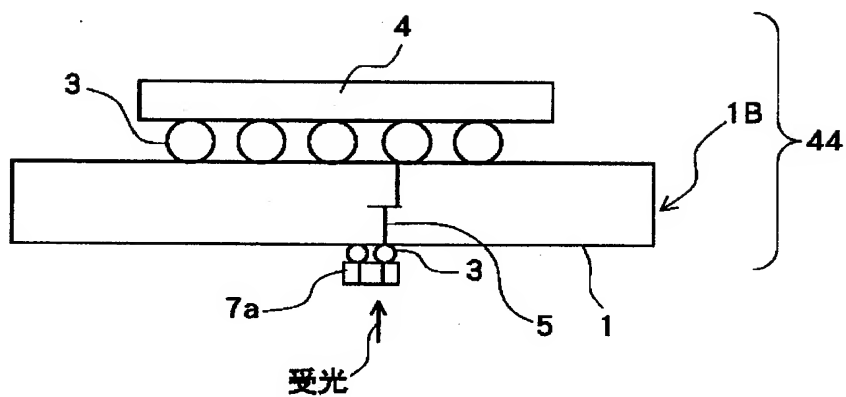
[図3A]



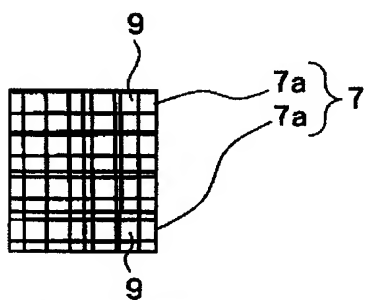
[図3B]



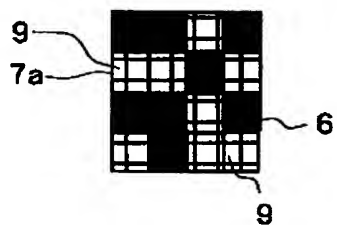
[図3C]



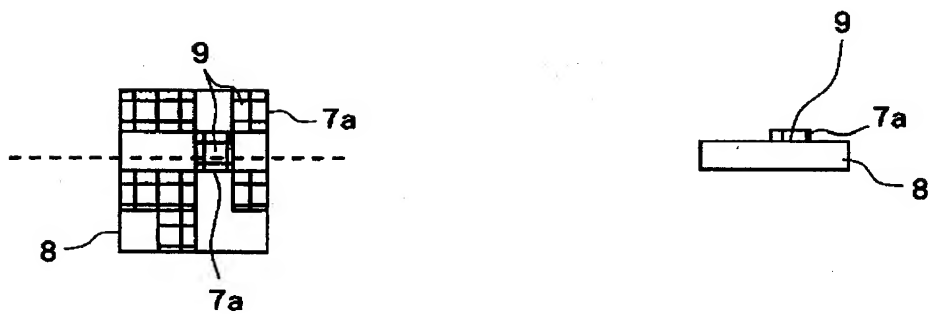
[図4A]



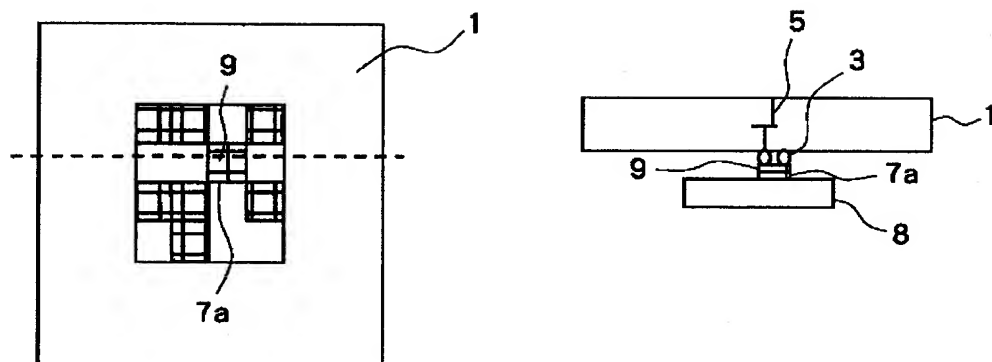
[図4B]



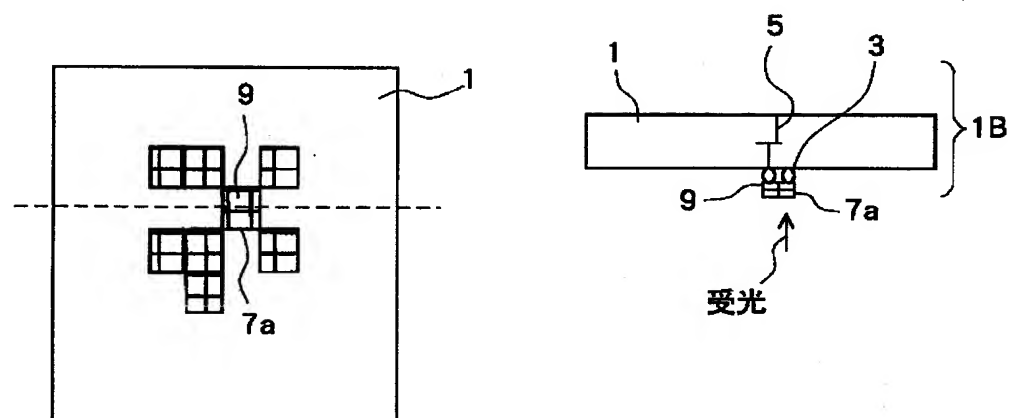
[図4C]



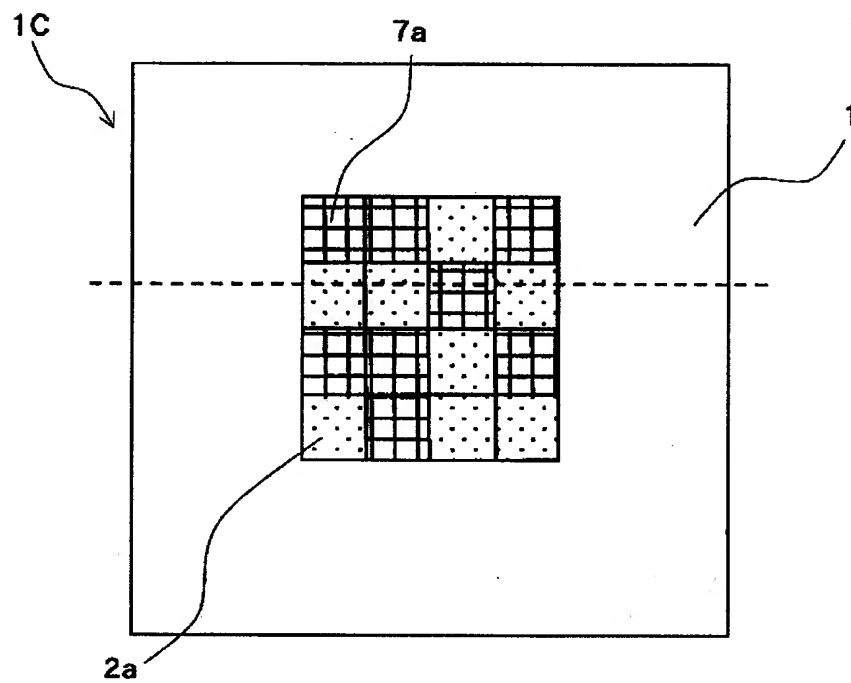
[図4D]



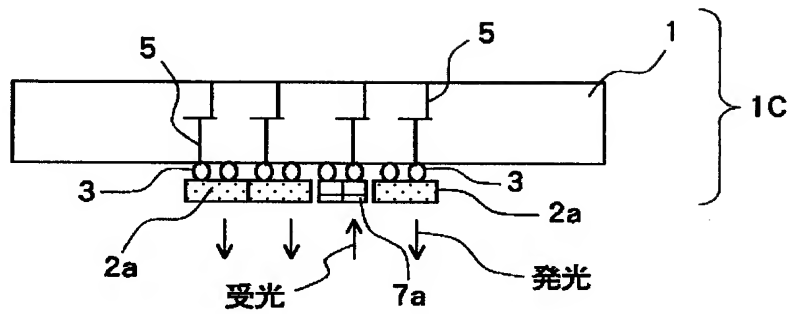
[図4E]



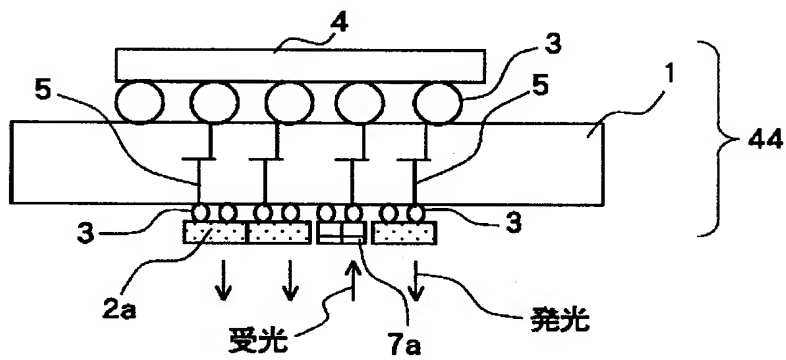
[図5A]



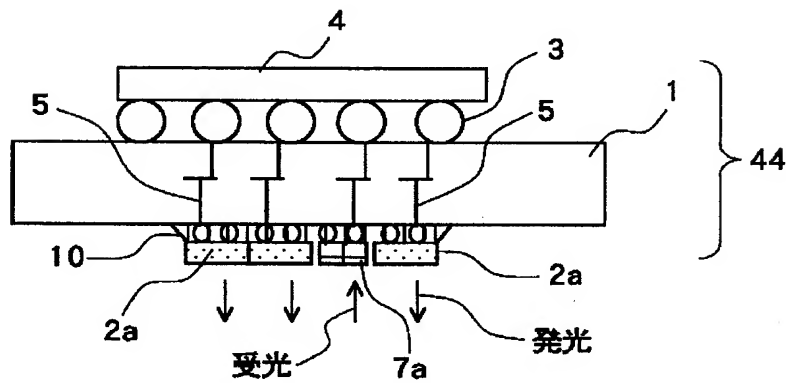
[図5B]



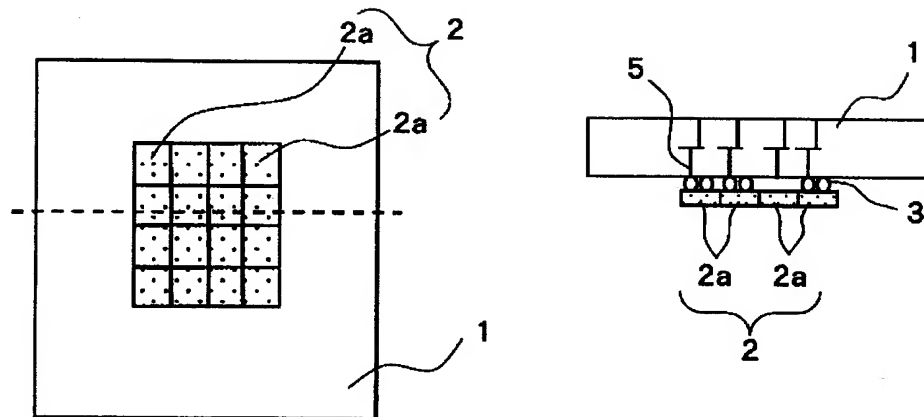
[図5C]



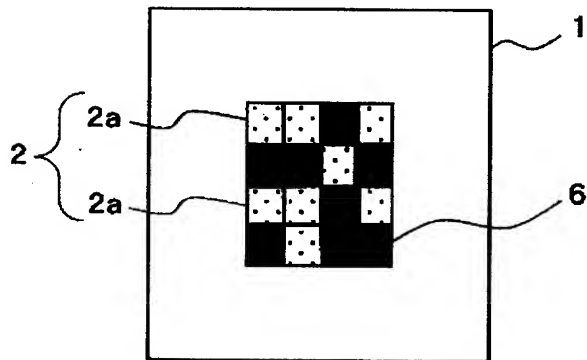
[図5D]



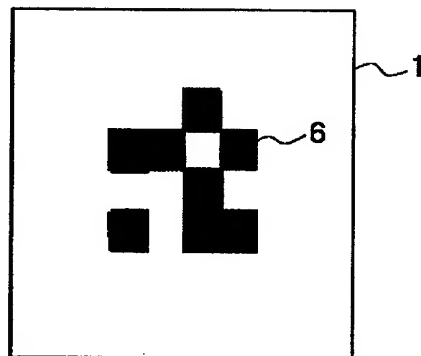
[図6A]



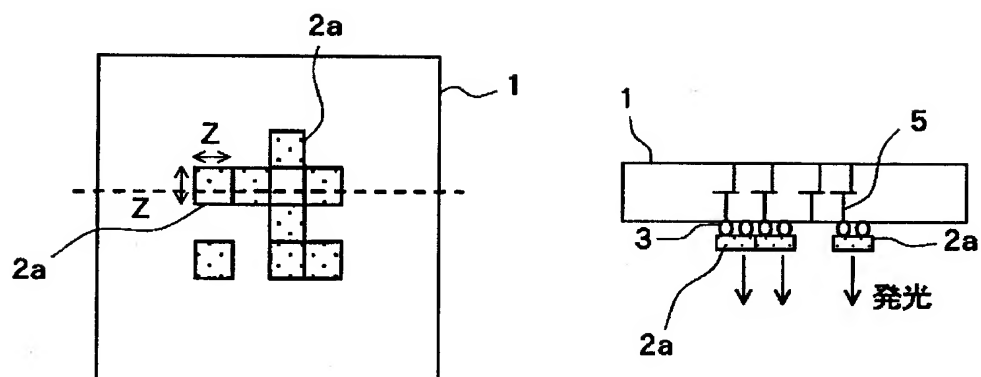
[図6B]



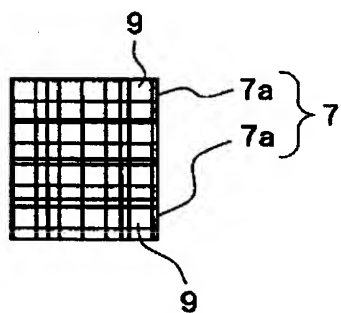
[図6C]



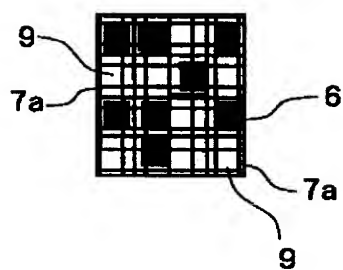
[図6D]



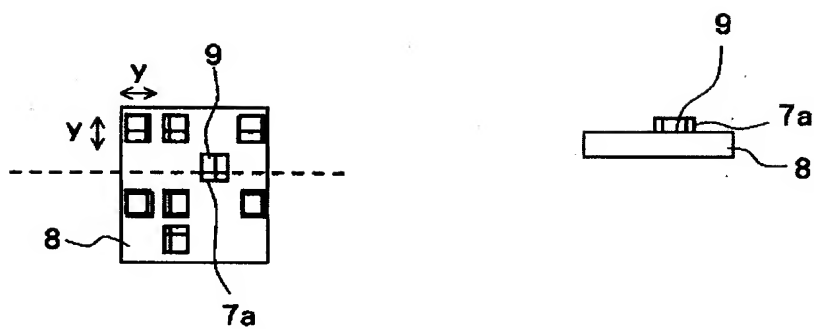
[図6E]



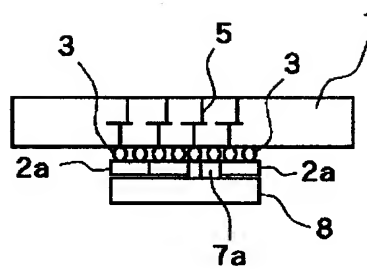
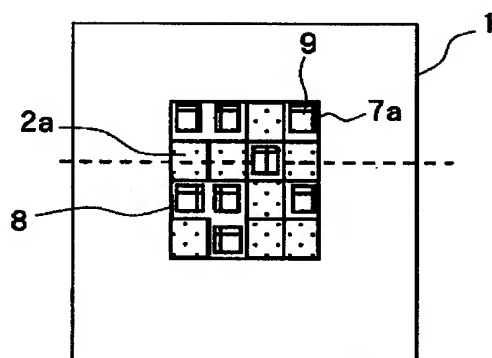
[図6F]



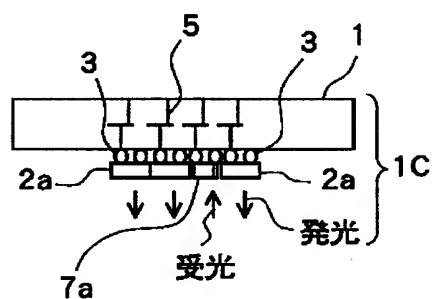
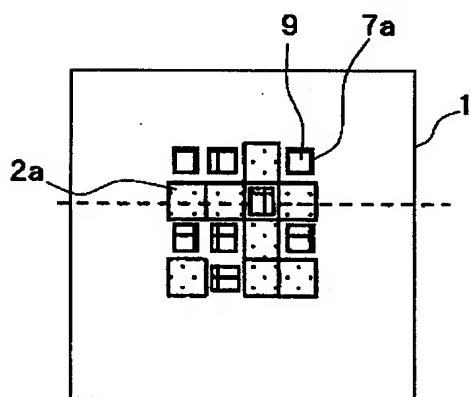
[図6G]



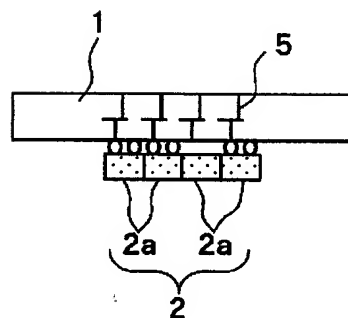
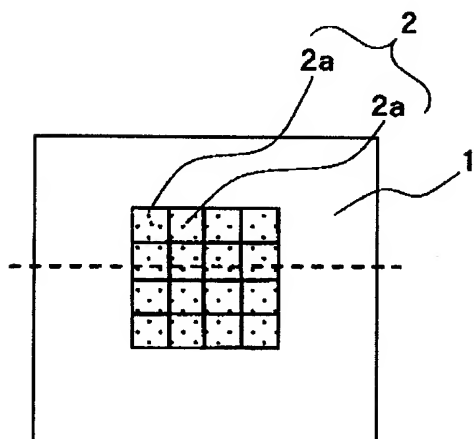
〔図6H〕



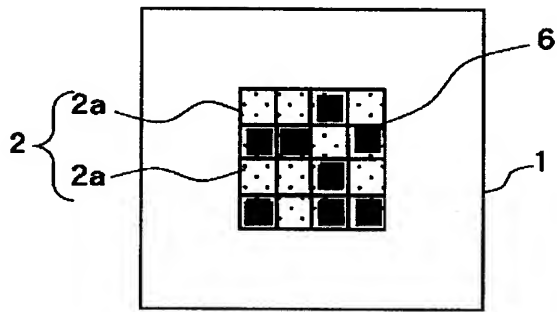
〔図6I〕



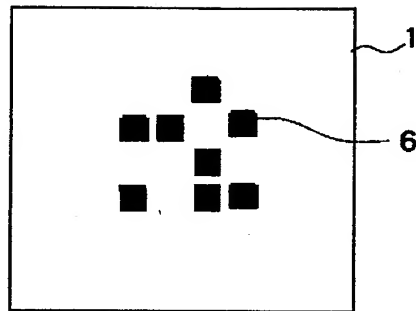
〔図7A〕



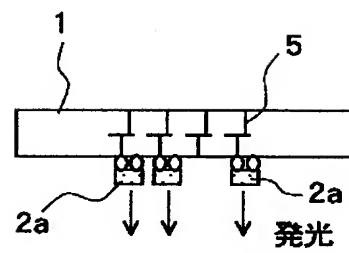
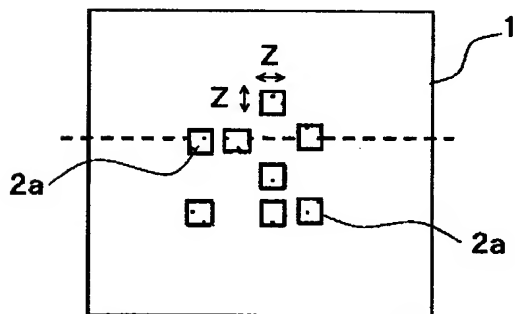
[図7B]



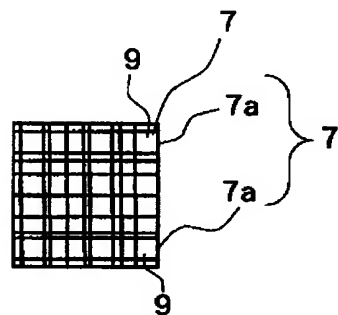
[図7C]



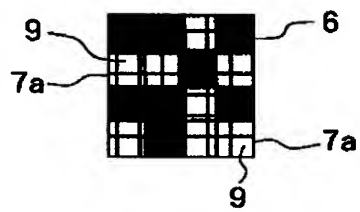
[図7D]



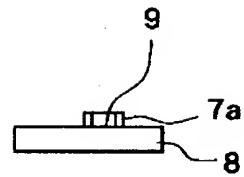
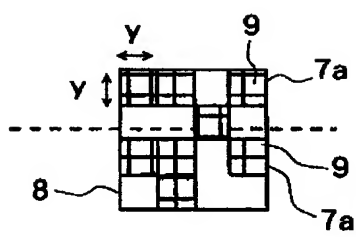
[図7E]



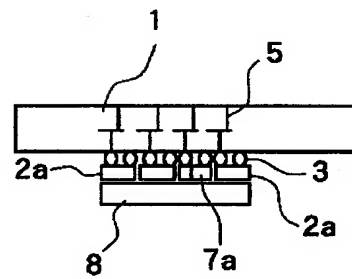
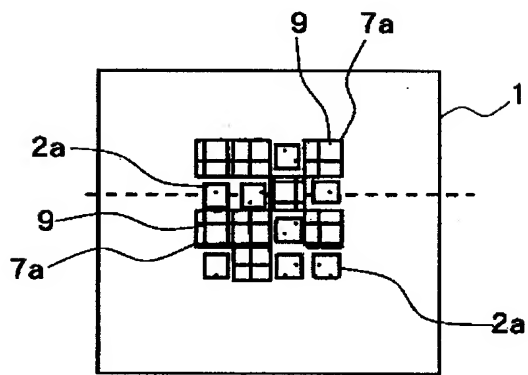
[[図7F]]



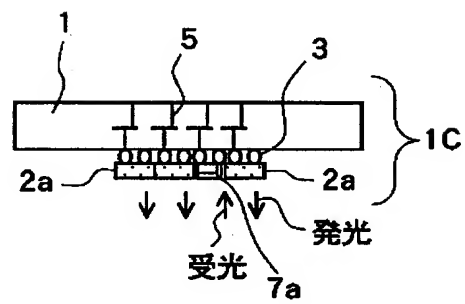
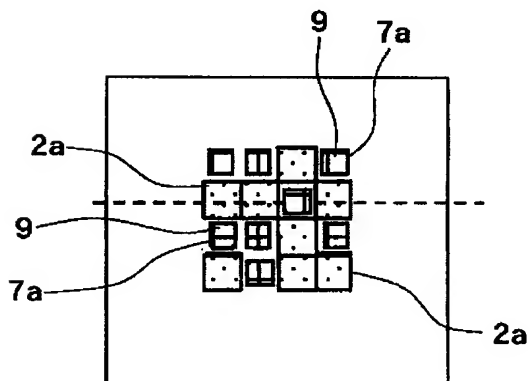
[[図7G]]



[[図7H]]



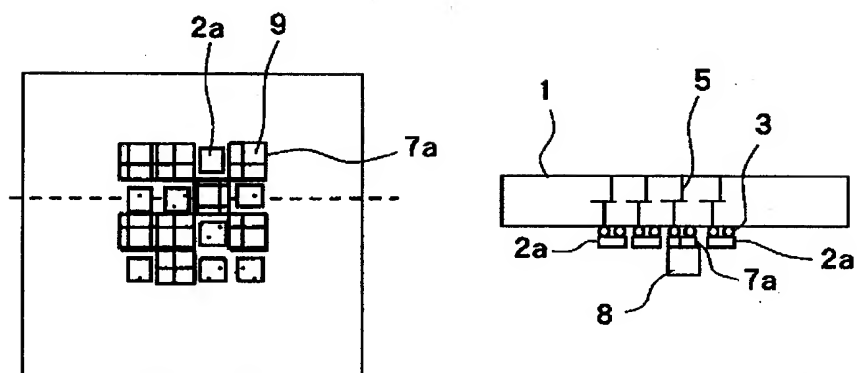
[[図7I]]



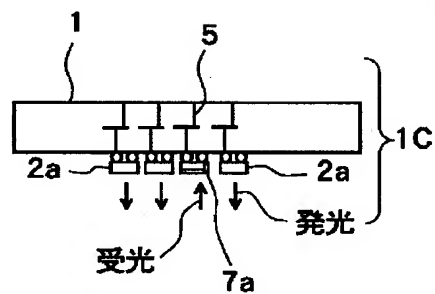
[図8A]



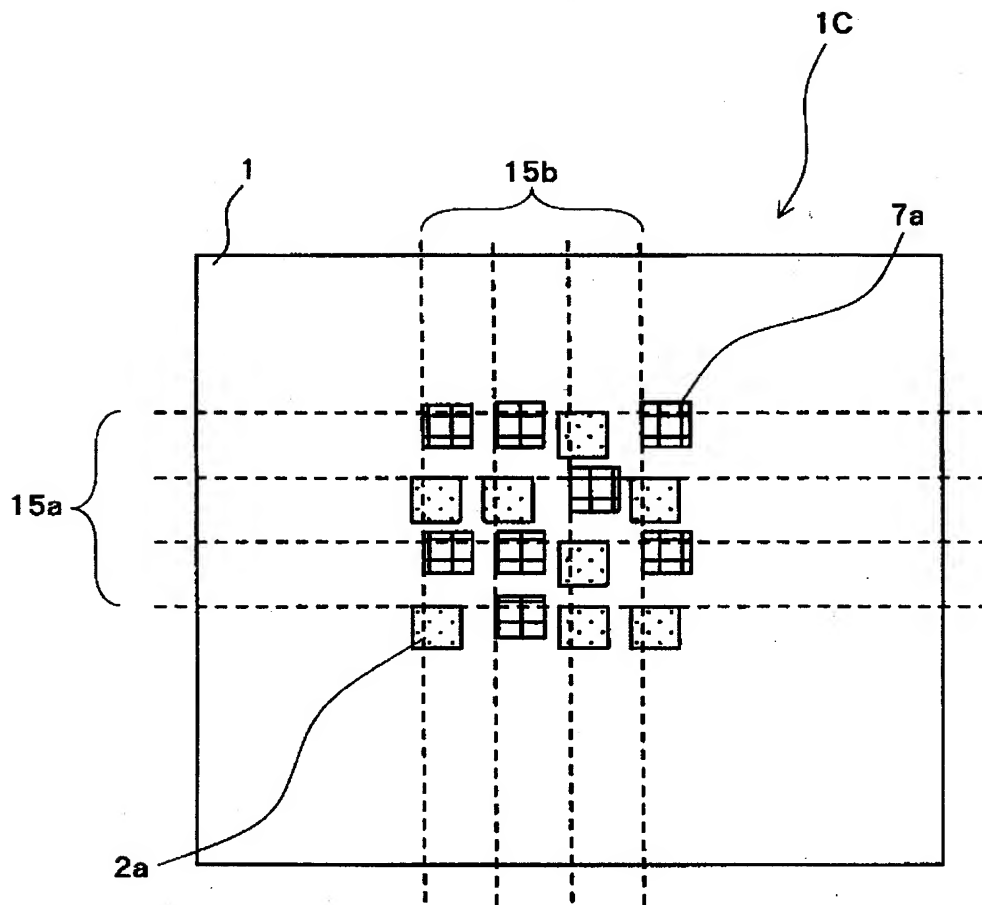
[図8B]



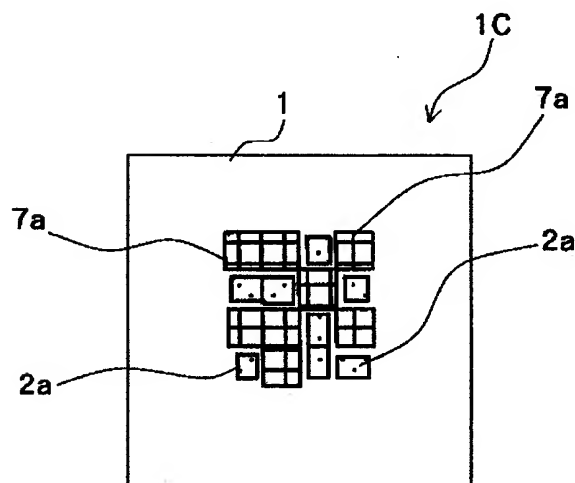
[図8C]



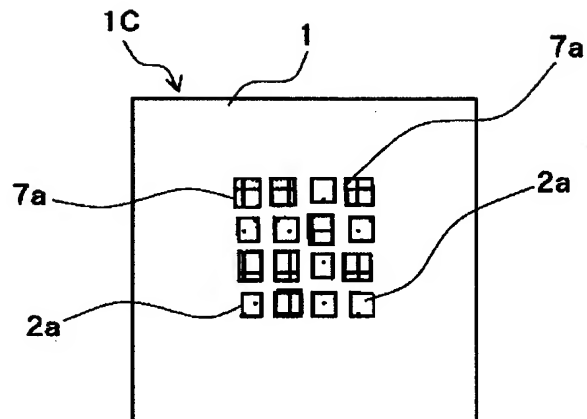
[図9]



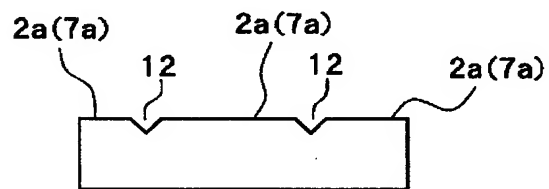
[図10A]



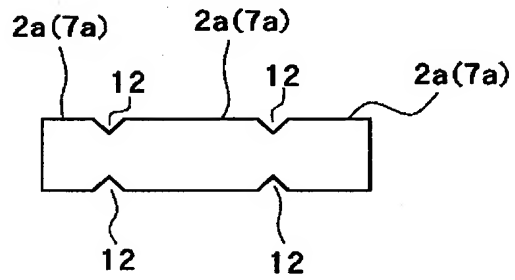
[[図10B]]



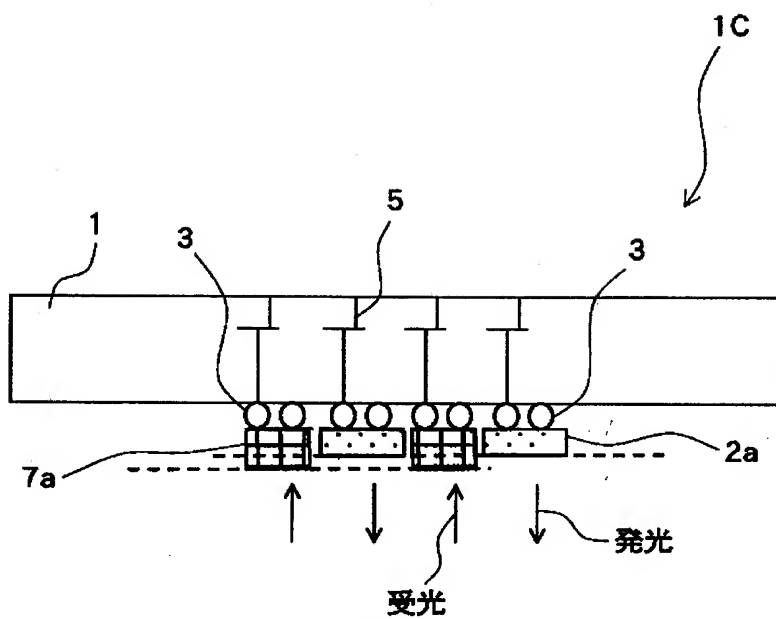
[[図10C]]



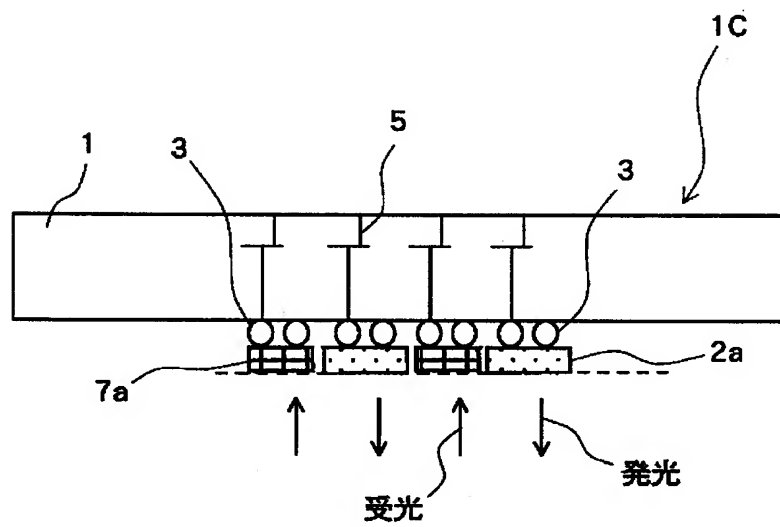
[[図10D]]



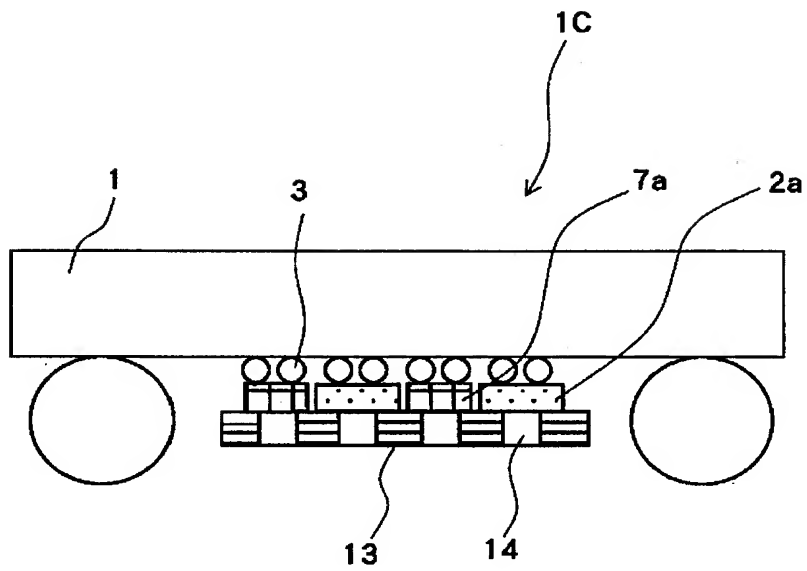
[図11A]



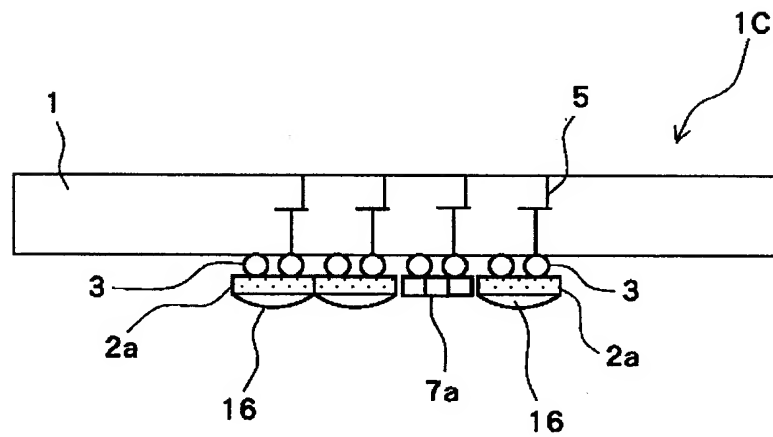
[図11B]



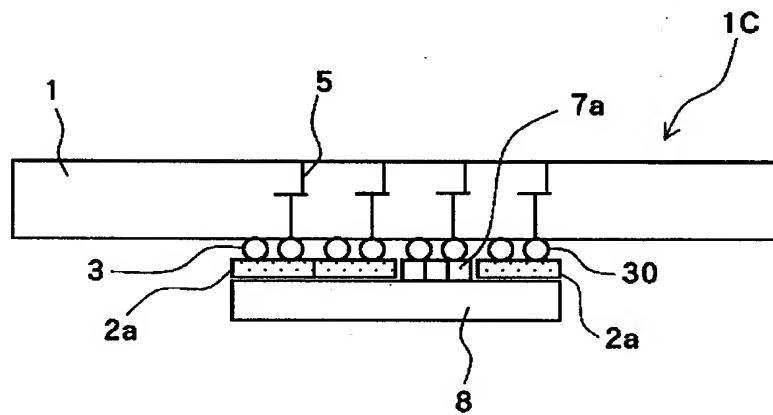
[図12]



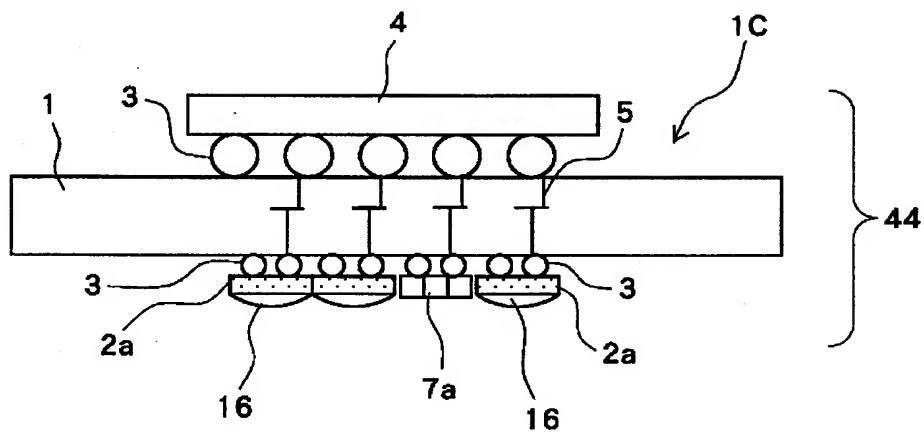
[図13A]



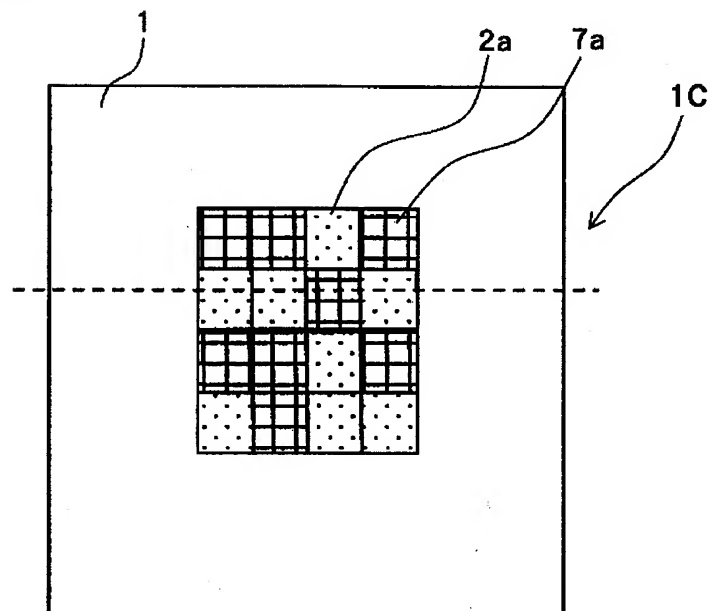
[図13B]



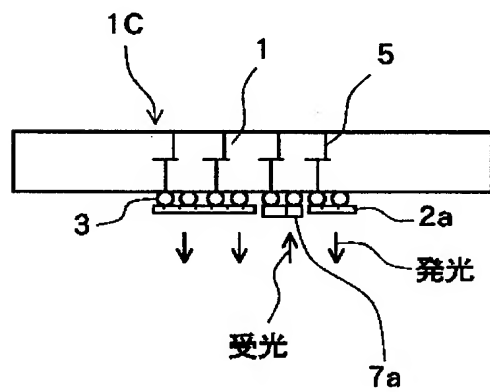
[図13C]



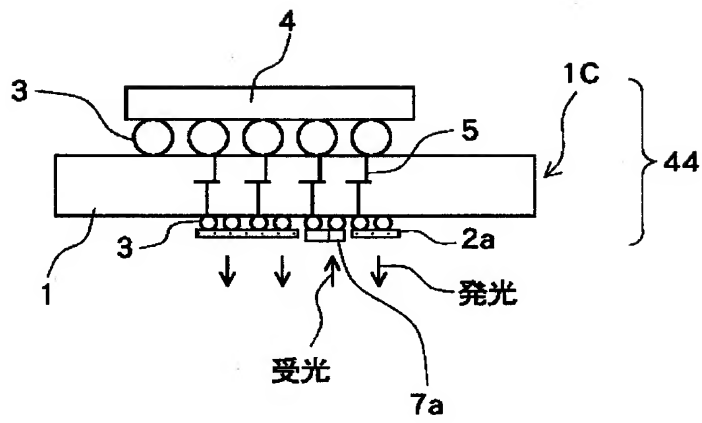
[図14A]



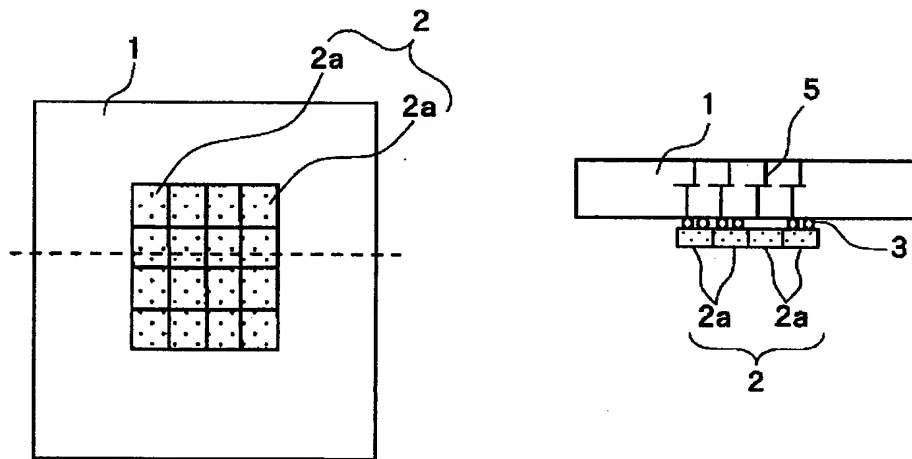
[図14B]



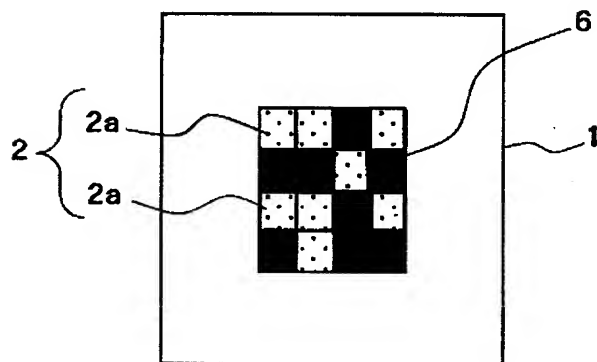
[図14C]



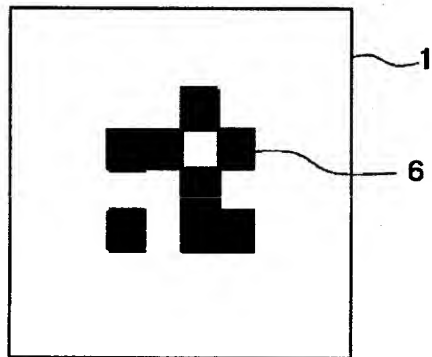
[図15A]



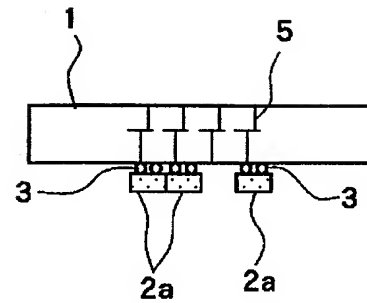
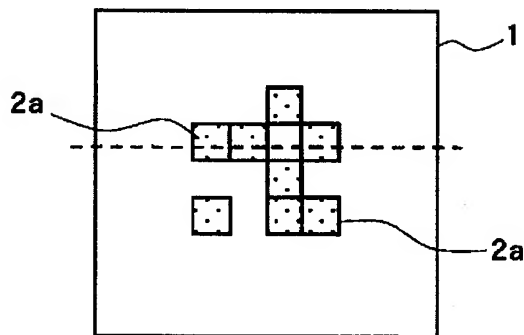
[図15B]



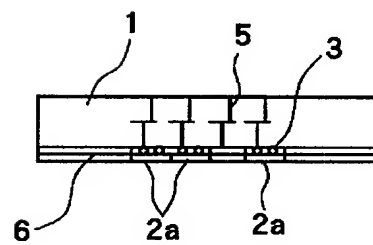
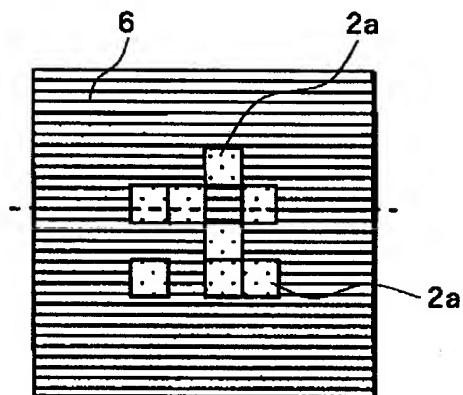
[図15C]



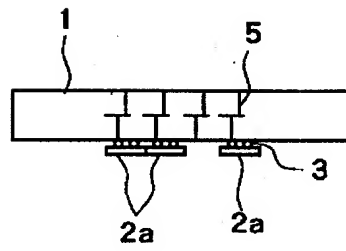
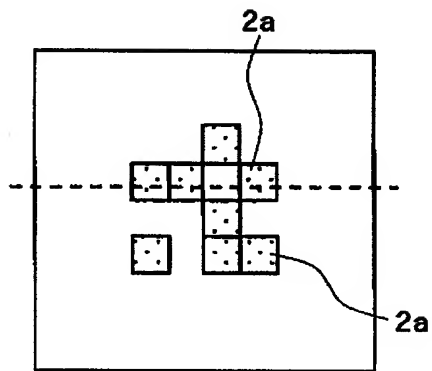
[図15D]



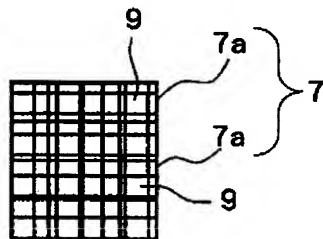
[図15E]



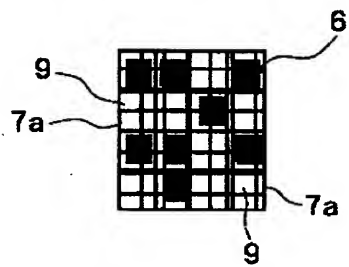
[図15F]



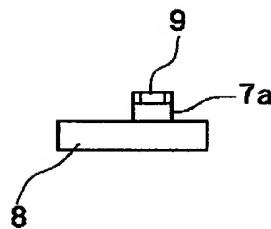
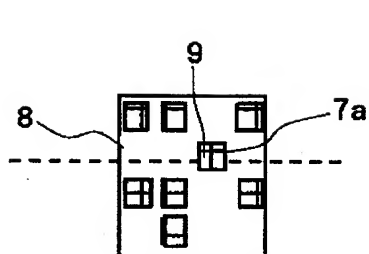
[図15G]



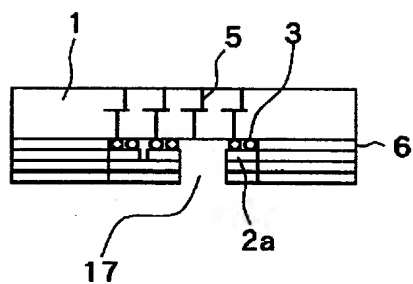
[図15H]



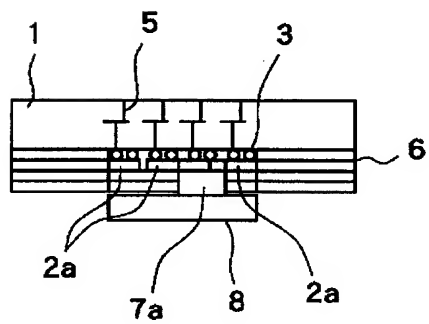
[図15I]



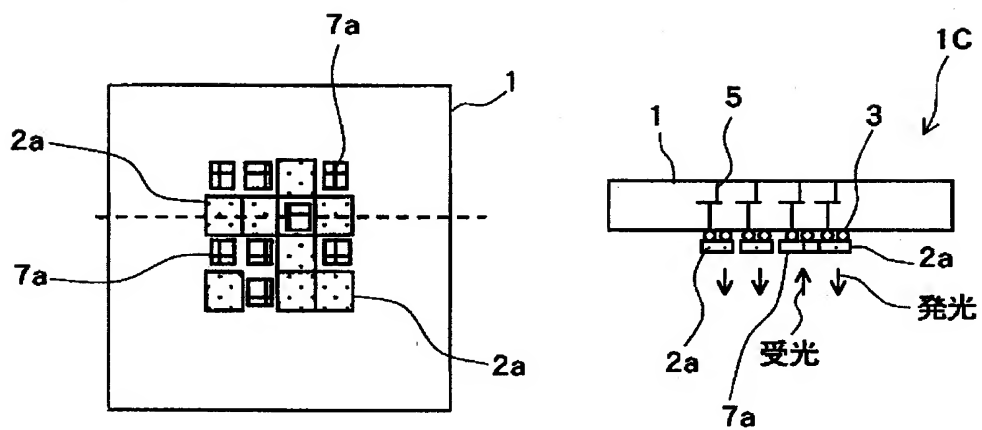
[図15J]



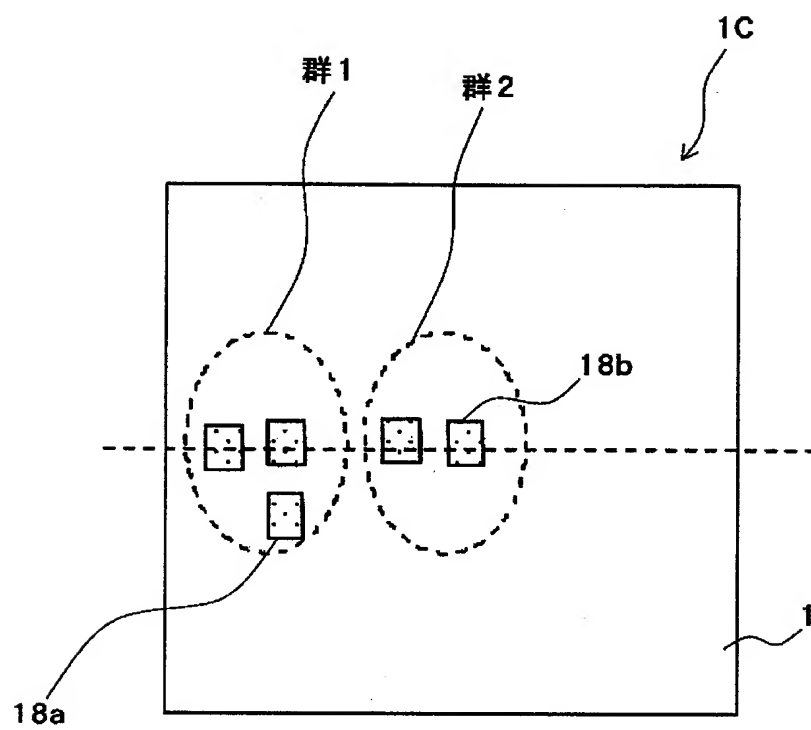
[図15K]



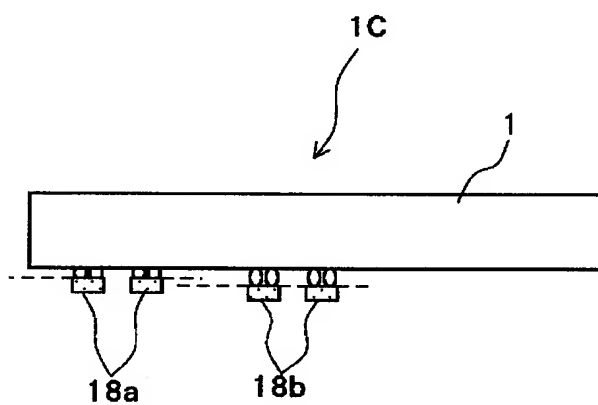
[図15L]



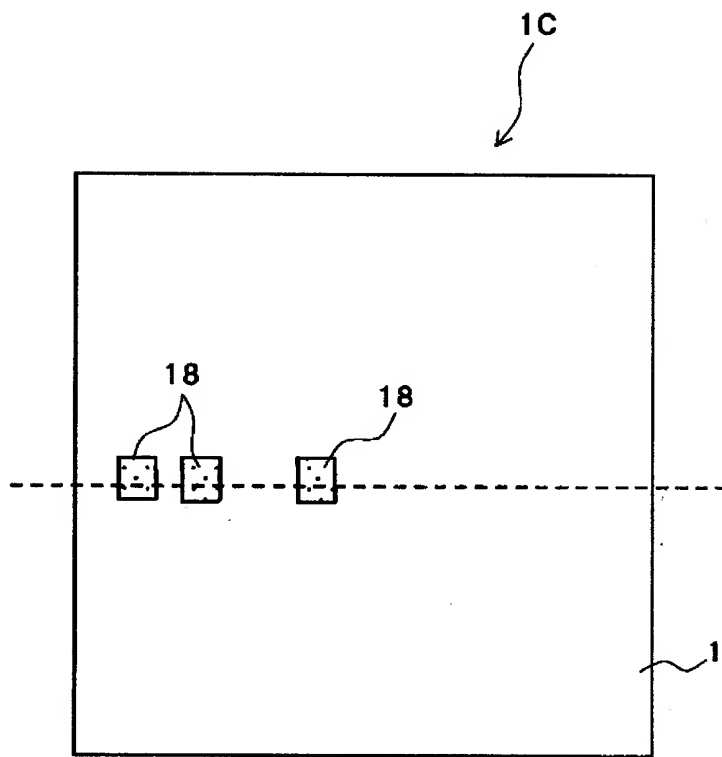
[図16A]



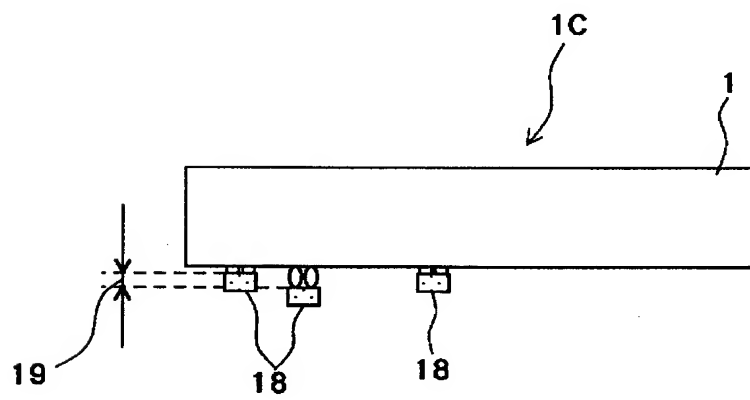
[図16B]



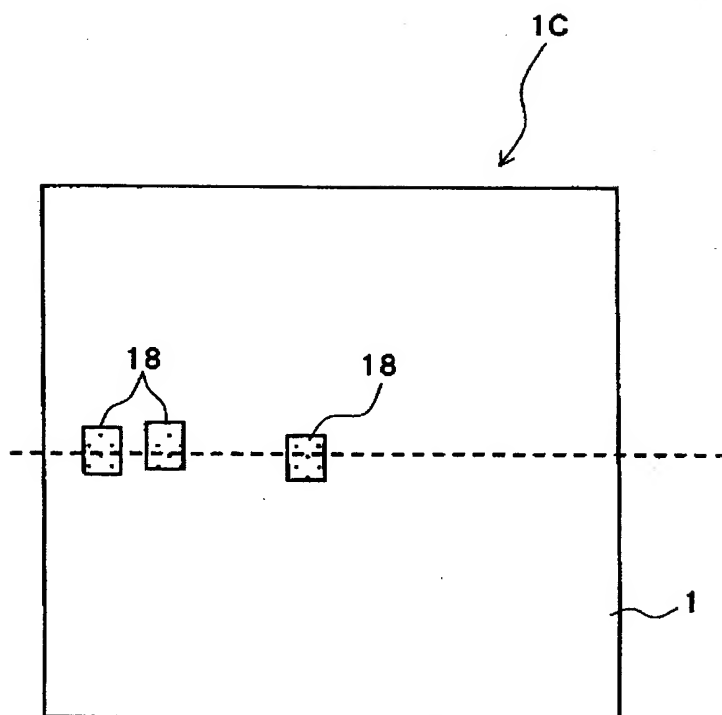
[図17A]



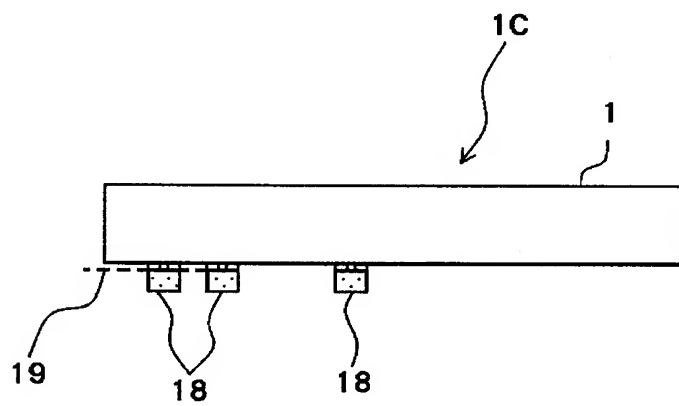
[図17B]



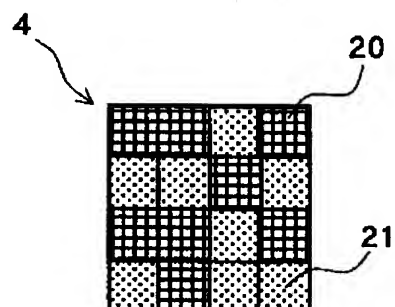
[図18A]



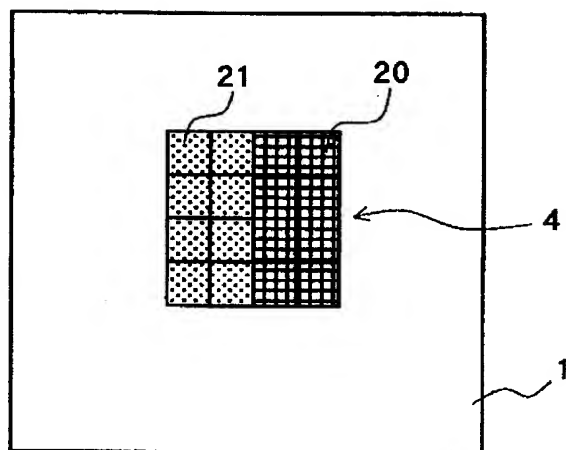
[図18B]



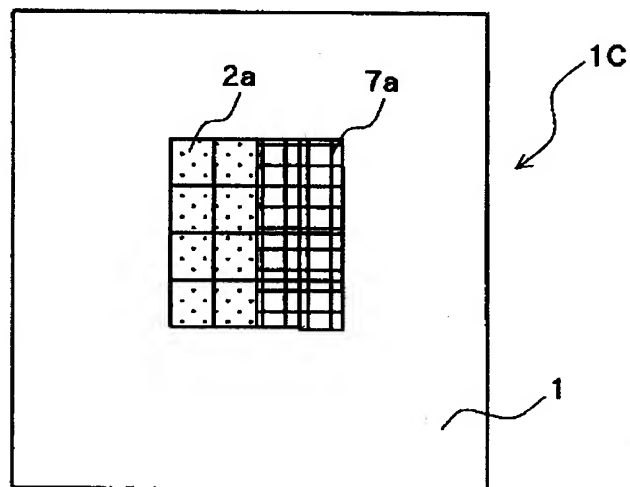
[図19A]



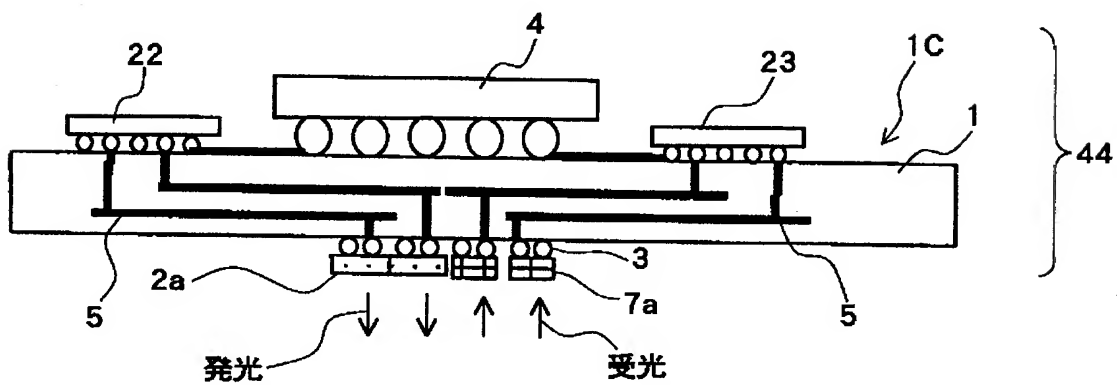
[図19B]



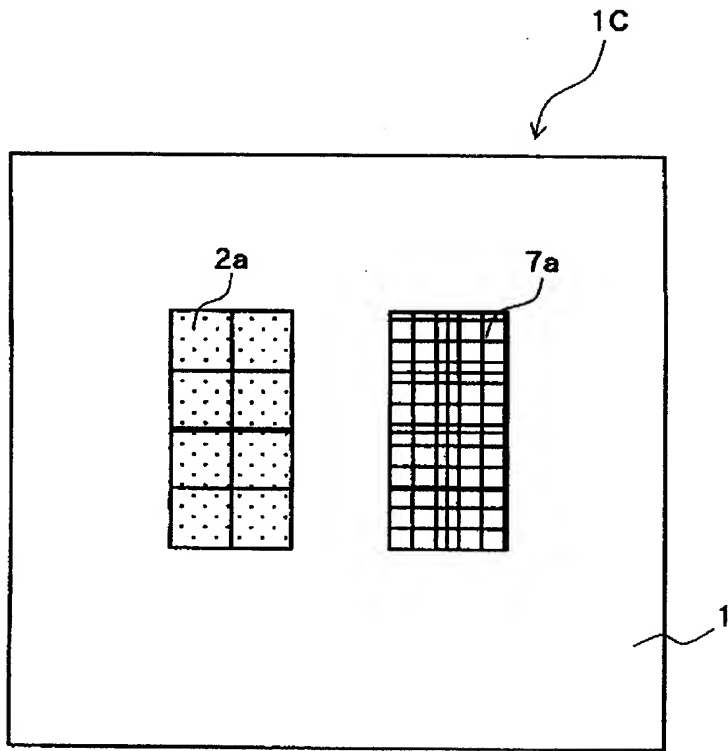
[図19C]



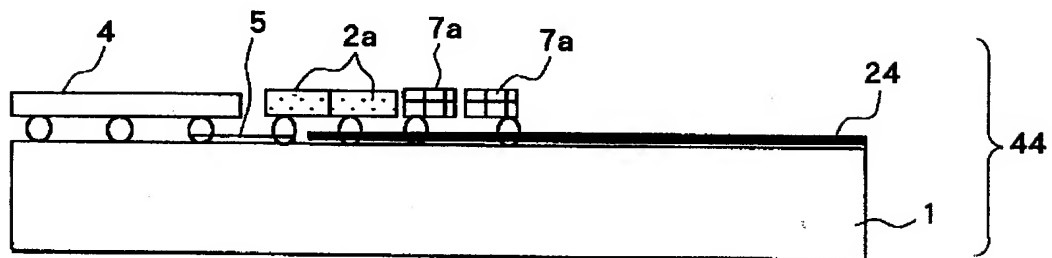
[図20]



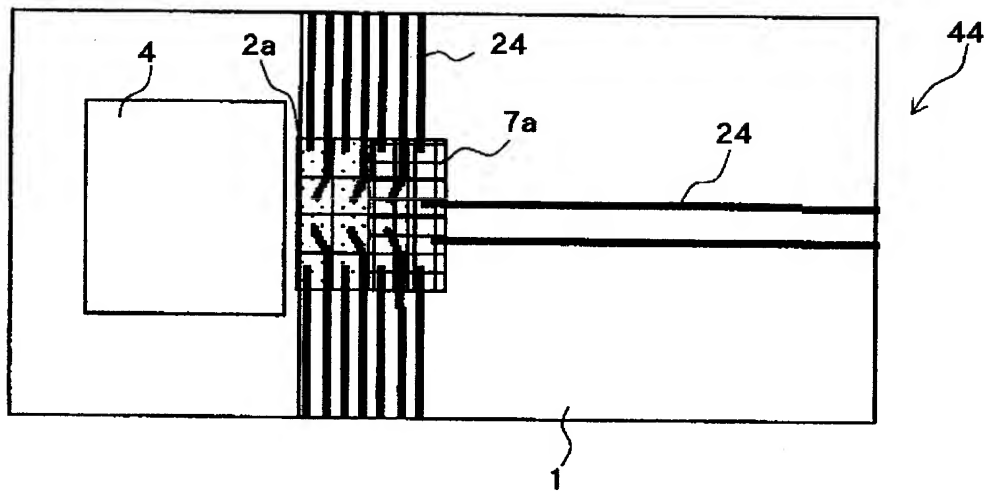
[図21]



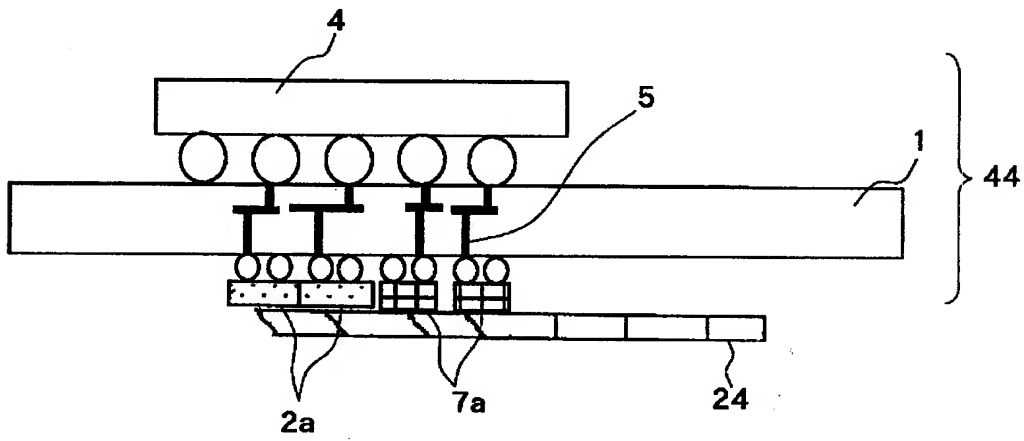
[図22A]



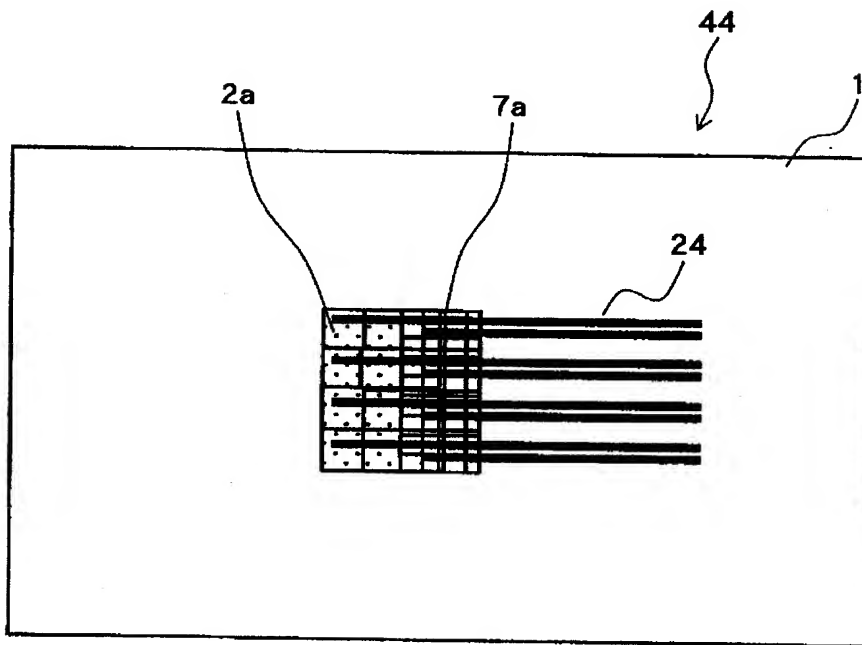
[図22B]



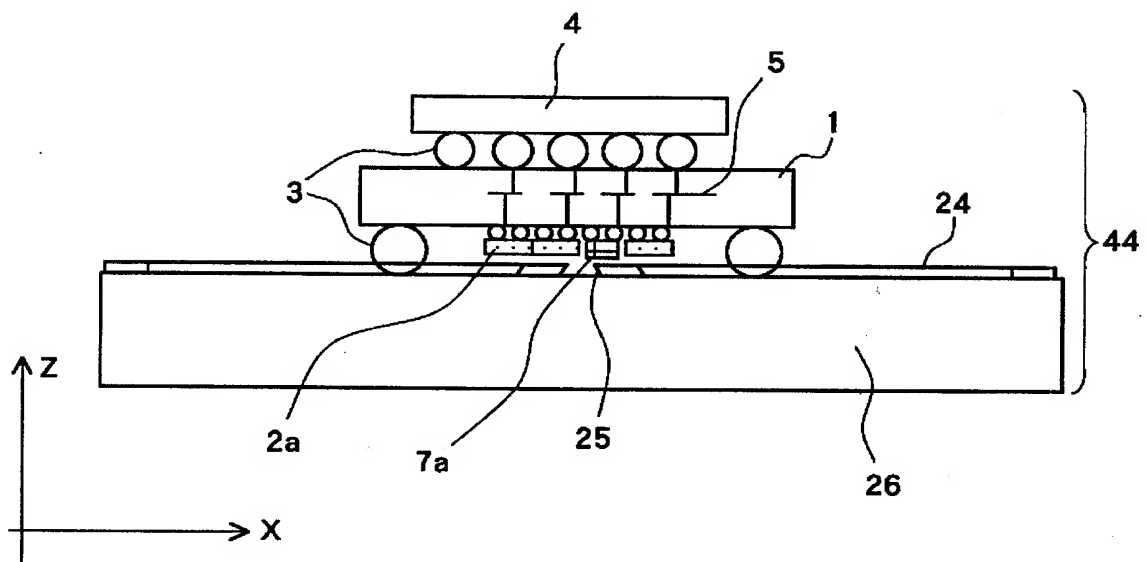
[図23A]



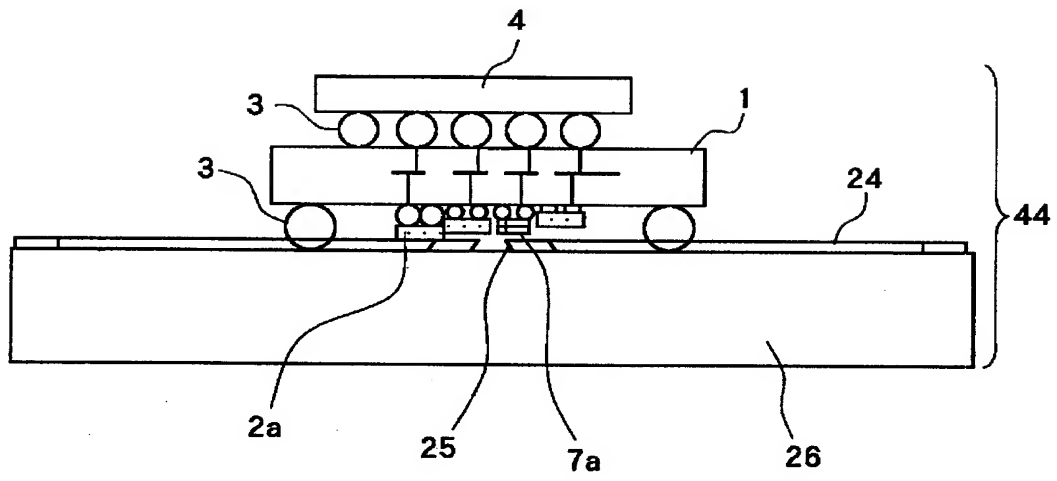
[図23B]



[図24A]



[図24B]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/015159

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L31/12, H01L27/14

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L31/00-31/173, H01L27/14-27/15, H01L33/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2005
Kokai Jitsuyo Shinan Koho 1971-2005 Jitsuyo Shinan Toroku Koho 1996-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 5-67769 A (Sony Corp.), 19 March, 1993 (19.03.93), & JP 5-67760 A & US 5357122 A	1, 3, 5, 7, 9-10, 13-14, 18-20
Y		2, 4, 6, 8, 11-12, 15-17
Y	JP 6-275870 A (Fujitsu Ltd.), 30 September, 1994 (30.09.94), & DE 4402422 A & US 5644667 A & US 5764832 A	2-4, 6-8, 11-12, 15-16
Y	JP 4-61175 A (Nippon Telegraph And Telephone Corp.), 27 February, 1992 (27.02.92), (Family: none)	17

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
21 January, 2005 (21.01.05)

Date of mailing of the international search report
08 February, 2005 (08.02.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/015159

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 10-3335383 A (Matsushita Electric Industrial Co., Ltd.), 18 December, 1998 (18.12.98), & EP 881671 A & US 6184066 B & US 6423561 B	1-20

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/015159

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

(See extra sheet.)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☒ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.: 1-20 (Only the required additional search fee was paid by the applicant for the three inventions.)

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest.
☒ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/015159

Continuation of Box No.III of continuation of first sheet(2)

(1) Claims 1-20 define inventions in which the heights of two or more optical elements are specified. Contrarily, claims 21-34 define inventions relating to a method of fabricating a necessary optical element from an optical element array. Therefore, these inventions do not involve a special technical feature.

(2) Regarding to claims 1-20, there are prior art documents such as JP 5-67769 A ("document 1"), which discloses a three-dimensional electronic integrated circuit device wherein a light-emitting element Em and a light-receiving element Pd are arranged in a region 1 of each substrate Sn, a drive circuit is provided in a region 2, and the light-emitting element Em and the light-receiving element Pd have certain heights (particularly, see Par. Nos. [0017] to [0025], Figs. 2 to 4).

Therefore, the inventions of claims 1, 5, 9, 18-20 are obviously not novel in relation to document 1.

(3) Among claims 1-20, the inventions of the other claims 2-4, 6-8, 10-17 will be examined. As disclosed in document 1, the technical feature that the heights of the light-emitting element and light-receiving element are specified is not a common special technical feature. Therefore, the technical feature common to claims 2, 4, 6, 8, 11-12, 15-16 is that a specific optical element is provided, the technical feature common to claims 3, 7, 13-14 is an electrode pattern, and the technical feature of claim 17 is solder.

(4) Consequently, this international application contains at least five inventions involving different special technical features: (i) the inventions of claims 1, 5, 9-10, 18-20; (ii) the inventions of claims 2, 4, 6, 8, 11-12, 15-16; (iii) the inventions of claims 3, 7, 13-14; (iv) the invention of claim 17; and (v) the inventions of claims 21-34.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L31/12, H01L27/14

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L31/00-31/173, H01L27/14-27/15,
H01L33/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国登録実用新案公報	1994-2005年
日本国実用新案登録公報	1996-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 5-67769 A (ソニー株式会社) 1993.03.19	1, 3, 5, 7, 9-10, 13-14, 18-20
Y	& JP 5-67760 A & US 5357122 A	2, 4, 6, 8, 11-12, 15-17
Y	JP 6-275870 A (富士通株式会社) 1994.09.30 & DE 4402422 A & US 5644667 A & US 5764832 A	2-4, 6-8, 11-12, 15-16

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

21.01.2005

国際調査報告の発送日

08.2.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

浜田 聖司

2K

9207

電話番号 03-3581-1101 内線 3253

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 4-61175 A (日本電信電話株式会社) 1992.02.27 (ファミリーなし)	17
Y	J P 10-3335383 A (松下電器産業株式会社) 1998.12.18 & EP 881671 A & US 6184066 B & US 6423561 B	1-20

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

特別ページを参照。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☒ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。

1-20（発明の数3についてのみ追加の手数料の納付があった）
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
- ☒ 追加調査手数料の納付と共に出願人から異議申立てがなかった。

(1) 請求の範囲1-20は2以上の光素子の高さに関して規定した発明であるの対して、請求の範囲21-34は光素子アレイから必要な光素子を形成する方法に関する発明であることから、両者に特別な技術的特徴があるとはいえない。

(2) 請求の範囲1-20に関しては、例えば、JP 5-67769 A(「文献1」)のような先行技術があり、そこには、各基板 S_n の、領域1に発光素子 E_m および受光素子 P_d が配列され、領域2に駆動回路などが配置され、各発光素子 E_m および受光素子 P_d が一定の高さを有する3次元光電子集積回路装置が開示されている(特に、【0017】-【0025】、【図2】-【図4】を参照)。

したがって、請求の範囲1、5、9、18-20は、文献1に対して明らかに新規性がない。

(3) 請求の範囲1-20のうち、残りの請求の範囲2-4、6-8、10-17について更に検討するに、このうち、既に文献1に見た通り、発光素子および受光素子の高さを規定する点は共通する特別な技術的特徴ではないため、請求の範囲2、4、6、8、11-12、15-16は特定の光学素子を設けた点に、請求の範囲3、7、13-14は電極パターンの点に、請求の範囲17は半田の点に、それぞれ技術的特徴がある。

(4) したがって、この出願には、少なくとも、(i) 請求の範囲1、5、9-10、18-20、

(ii) 請求の範囲2、4、6、8、11-12、15-16、(iii) 請求の範囲3、7、13-14、(iv) 請求の範囲17、(v) 請求の範囲21-34、の5つの異なる特別の技術的特徴を有する発明を含んでいる。